

Enrico Tombelli

Docente presso
ITC "A. Volta" - Bagno a Ripoli - Firenze
(e.tombelli@libero.it)

MEMORIE A SEMICONDUITTORE

MEMORIE A SEMICONDUETTORE

- GENERALITÀ

La memoria è un dispositivo capace di immagazzinare e mantenere delle informazioni più o meno a lungo nel tempo. La memoria è costituita da un **SUPPORTO FISICO** (cioè il mezzo sul quale sono immagazzinate le informazioni; p.e. il foglio di carta che contiene queste parole); per essere memorizzate le informazioni devono essere **CODIFICATE** (p.e. le parole che si stanno leggendo sono in linguaggio italiano scritto tramite i simboli dell'alfabeto e i segni della punteggiatura).

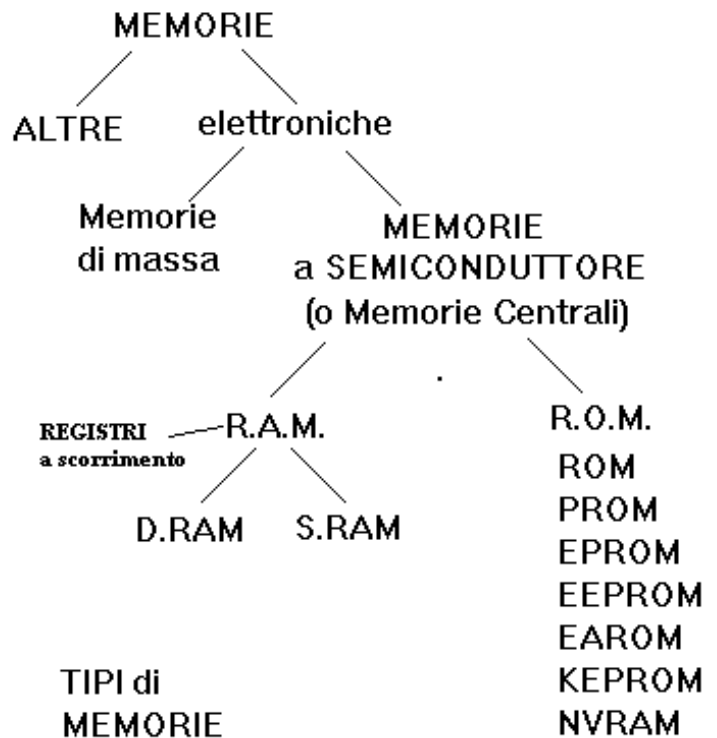
La memoria è caratterizzata da alcuni parametri:

- **CAPACITÀ** ovvero la quantità d'informazione che essa è capace di mantenere (la quantità di informazione si misura in **BIT** secondo il Sistema Internazionale di misura MKS).
- **VELOCITÀ** o meglio ancora il "tempo di accesso" (t.d.a.), cioè il tempo necessario per recuperare l'informazione di interesse. Tanto più basso è il tempo di accesso e tanto più alta è la velocità.
- **TIPO DI ACCESSO** cioè il modo naturale col quale si accede alla informazione. Questo può essere **casuale** (quando il t.d.a. non è sempre lo stesso), **pseudocasuale** (come nel caso precedente, ma è possibile conoscere il t.d.a. in base alla posizione della informazione sul supporto), **diretto** (si conosce la posizione della informazione e vi si accede direttamente; in questo caso il t.d.t. è costante), **sequenziale** (per accedere alla informazione di interesse si deve accedere a tutte quelle che la precedono nell'ordine fisico o logico). Oltre a questi tipi d'accesso ce ne sono altri che possono essere organizzati in modo logico e che si adattano al tipo di supporto fisico (FIFO, LIFO, per contenuto, con indice ecc.)
- **VOLATILITÀ** ovvero quanto a lungo nel tempo il supporto può mantenere inalterate le informazioni; un foglio di carta può mantenere la scrittura su di esso qualche secolo se ben conservato.

- MEMORIE A SEMICONDUETTORE

Le memorie di nostro interesse sono quelle elettroniche. In esse i fenomeni che permettono la memorizzazione sono di tipo elettrico (p.e. effetti capacitivi dove si sfrutta l'accumulazione di carica, oppure di tipo magnetico dove la magnetizzazione o la non magnetizzazione può identificare livello alto o basso). In questo tipo di memorie il supporto fisico è un materiale con caratteristiche elettriche e la codifica è normalmente quella binaria.

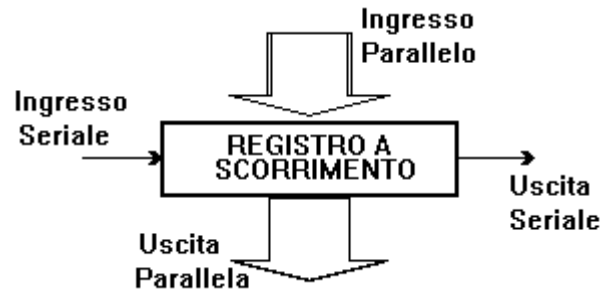
Le memorie elettroniche si dividono in **MEMORIE DI MASSA** e **MEMORIE A SEMICONDUETTORE** (o centrali). Le memorie di massa sono capaci ma hanno tempi d'accesso lunghi (come i dischi, nastri ecc.). Le memorie a semiconduttore sono molto più veloci e sono utilizzate come memorie **CENTRALI** all'interno di un computer. Ambedue i tipi sono utilizzati allo stesso tempo per usufruire dei vantaggi di entrambi. Questa parte dello studio è



dedicata alle memorie a semiconduttore, che si dividono a loro volta in RAM (RANDOM ACCESS MEMORY ovvero memorie ad accesso casuale) e ROM (READ ONLY MEMORY ovvero memorie a sola lettura). Nelle prime si può sia scrivere che leggere mentre nelle seconde si può solo leggere in quanto la scrittura avviene o in fase di costruzione o successivamente, ma in linea di massima una sola volta (un po' come un libro il cui testo è stato scritto dall'editore a differenza di un quaderno sul quale vi scrive chi lo ha acquistato e in esso è possibile operare una cancellazione e riscrivere nuovamente). Le memorie RAM però hanno il difetto che perdono completamente le informazioni quando è tolta loro l'alimentazione. Per questo sono dette (impropriamente) VOLATILI a differenza delle altre (ROM) che sono dette invece NON VOLATILI.

- REGISTRI A SCORRIMENTO

I registri a scorrimento non possono dirsi proprio delle memorie, anche se ne hanno le caratteristiche. Infatti, pur potendo immagazzinare informazioni binarie, il loro accesso è "in blocco" a differenza di quello delle memorie propriamente dette che hanno tipica organizzazione ad accesso diretto tramite indirizzo. Possono memorizzare una sola unità di dato (normalmente un byte) e non sono associati a nessun indirizzo.



I registri sono costituiti da flip-flop di tipo "D". Questi ultimi, connessi fra loro, formano i quattro tipi fondamentali di registri.

Il tipo del registro dipende da come vengono inserite le informazioni e da come si estraggono. Sia l'uscita sia l'ingresso può essere:

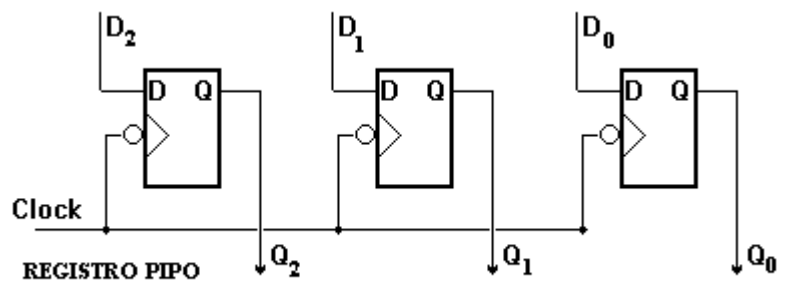
- SERIALE: quando i bit scorrono uno per volta dall'ingresso all'uscita.
- PARALLELO: quando, invece, i bit entrano od escono in parallelo ovvero contemporaneamente.

Per questo, i registri si distinguono in

- SISO (Seriale in ingresso e serale in uscita)
- SIPO (Seriale in ingresso e parallelo in uscita)
- PISO (Parallelo in ingresso e serale in uscita)
- PIPO (Parallelo in ingresso e parallelo in uscita)

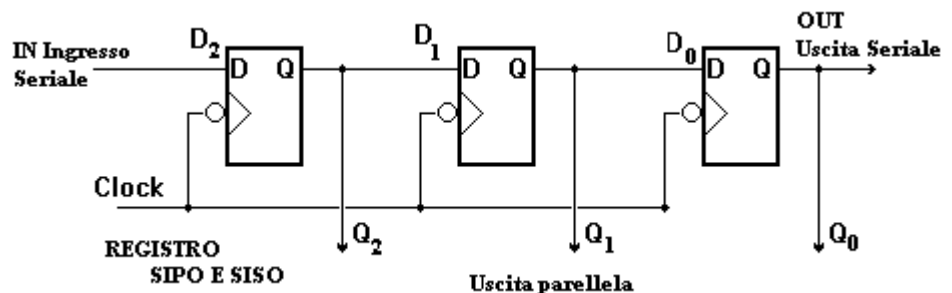
- REGISTRO PIPO

L'ingresso è parallelo come l'uscita. Esso rappresenta la singola cella o locazione di memoria. Disponendo di più registri di questo tipo si formano le memorie RAM. NB: i flip-flop hanno in comune solo il segnale di clock che attiva contemporaneamente il caricamento dell'informazione parallela nel registro. la lettura è anch'essa parallela e si preleva dalle uscite "Q".

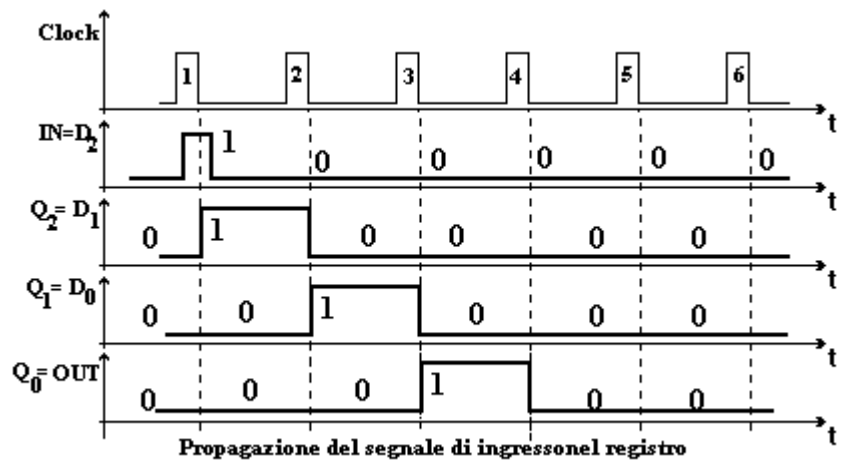


- REGISTRO SISO E SIPO

Nel registro SISO l'ingresso dei bit avviene uno per volta. Essi si presentano al



primo flip-flop (D_2) e scrono, ad ogni impulso di clock, in quelli successivi fino a presentarsi all'uscita dell'ultimo flip-flop (Q_0). Questo meccanismo è descritto nel grafico. Si deve notare che se i bit sono prelevati all'uscita di ogni flip-flop, ovvero in parallelo si ottiene un registro SIPO. Come si può osservare l'UNO in ingresso si propaga ad ogni impulso di clock, da un flip-flop a quello successivo fino a presentarsi all'uscita seriale. Si deve osservare che la lettura è distruttiva, in quanto, a meno di non far rientrare il segnale di uscita seriale dall'ingresso seriale, i bit memorizzati sono persi.

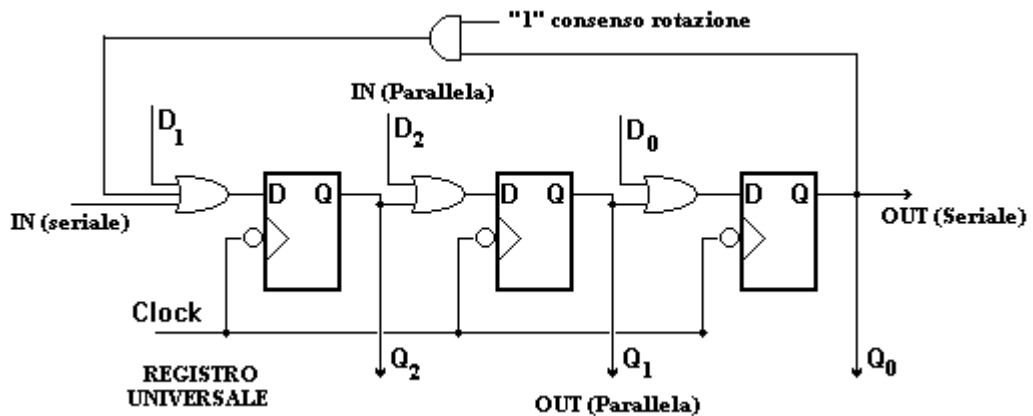


- REGISTRO PISO

Nel registro PISO l'ingresso è parallelo e siccome interferisce con lo scorrimento del dato, è necessario utilizzare una rete costituita da porte OR.

- REGISTRO UNIVERSALE

E' possibile realizzare un registro universale nel quale sono presenti tutte le possibilità. E' possibile disporre anche della "retroazione" che ci permette di avere un consenso al rientro dei bit in uscita per poterli comunque conservare.



- ORGANIZZAZIONE LOGICA D'UNA MEMORIA A SEMICONDUTTORE (Celle e Indirizzi)

Le informazioni sono normalmente codificabili per scomposizione in blocchi o moduli. Infatti, esse si possono rappresentare tramite simboli (caratteri, cifre numeriche ecc.). Codificando in binario ogni simbolo di rappresentazione è possibile rappresentare l'informazione in sequenze di 8 bit ciascuna.

P.e. La parola mamma può essere codificata come segue (secondo il codice ASCII)

- M 0100 - 1101
- A 0100 - 0001
- M 0100 - 1101
- M 0100 - 1101
- A 0100 - 0001

Pertanto "MAMMA" = 0100 1101 - 0100 0001 - 0100 1101 - 0100 1101 - 0100 0001 B

ORGANIZZAZIONE DELLA MEMORIA IN CELLE E INDIRIZZI

Indirizzi Pari	INDIRIZZI	Indirizzi Dispari
0	A B	1
	K T	
	, *	
	BLANC Z	
8	N O	9
	C A	
	S A	
	, ;	
16	N O	17
	D O	
	. T	
	I Z	
24	I O	25
	BLANC C	
	A R	
30	L O	31

MAPPA DI MEMORIA

La parola "MAMMA", per poter essere memorizzata necessita quindi uno spazio di memoria di 5 Byte (ovvero 40 bit). I bit che formano l'informazione vengono raccolti in Byte. Ogni byte viene quindi riposto in un blocco di memoria di pari capacità. Tale blocco di memoria viene detto **CELLA** o **LOCAZIONE** o **REGISTRO** di memoria. In pratica la memoria è organizzata come un magazzino che è costituito da scaffali normalmente tutti uguali.

Sorge la necessità di recuperare facilmente le informazioni contenute in memoria. Per questo, ogni cella è associata ad un identificatore che la individua in modo univoco. Tale identificatore è detto **INDIRIZZO** e normalmente (o almeno nelle memorie elettroniche) è un valore numerico.

Gli indirizzi che identificano univocamente ogni cella partono da 0 e proseguono in sequenza fino ad esaurimento totale delle locazioni.

In questo modo, osservando la figura, nella cella di indirizzo 16 è memorizzato il carattere "N", mentre nella cella di indirizzo 5 è memorizzato il carattere "*".

L'indirizzo permette di recuperare ovvero di accedere "DIRETTAMENTE" all'informazione facendo riferimento non al **CONTENUTO** della cella (p.e. "L"), ma all'indirizzo (p.e. [30]). NB. L'indirizzo di una cella è rappresentato fra parentesi (p.e. [25]="O")

Ogni cella può essere:

- SCRITTA ("scrittura" è l'operazione d'inserimento del dato nella cella)
- LETTA ("lettura" è l'operazione d'acquisizione del dato riposto nella cella).

Questo tipo d'organizzazione permette anche di realizzare il concetto di **VARIABILE** informatica. Infatti, ogni cella può essere continuamente modificata nel suo contenuto. È possibile, in una procedura (**ALGORITMO**) fare riferimento non al contenuto, ma all'indirizzo in modo da poter sfruttare il processo più volte cambiando il contenuto delle celle.

ESEMPIO. Supponiamo di dover rappresentare il processo di somma fra due addendi (il 5 e il 16).

$$5 + 16 \Rightarrow 21 \text{ (significa che il numero 5 sommato al numero 16 produce il valore 21)}$$

MEMORIA

	BLANC	Z	
8	N	21	9
	C	A	
	5	A	
	,	16	
16	N	O	17
	D	O	

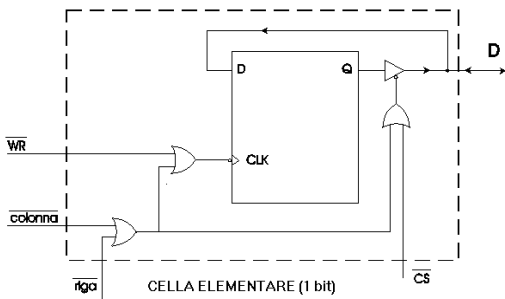
Questa operazione si può rappresentare anche in modo più versatile. Osservando la figura si nota che i valori '5' e '16' sono depositati nelle celle 12 e 15. Così la procedura può essere riscritta nel modo seguente:

$$[12] + [15] \Rightarrow [9] \text{ (significa che il contenuto della cella 12 deve essere sommato a quello della cella 15 e il risultato è riposto nella cella 9)}$$

Si può notare che con quest'ultima rappresentazione si ottiene lo stesso effetto con il vantaggio che è possibile realizzare qualsiasi somma a due addendi modificando solo il contenuto delle celle, ma non la procedura. In effetti, per fare la somma di 7 + 19 basta riporre i due addendi nelle celle 12 e 15 e recuperare il risultato nella cella 9 dopo aver eseguito la procedura.

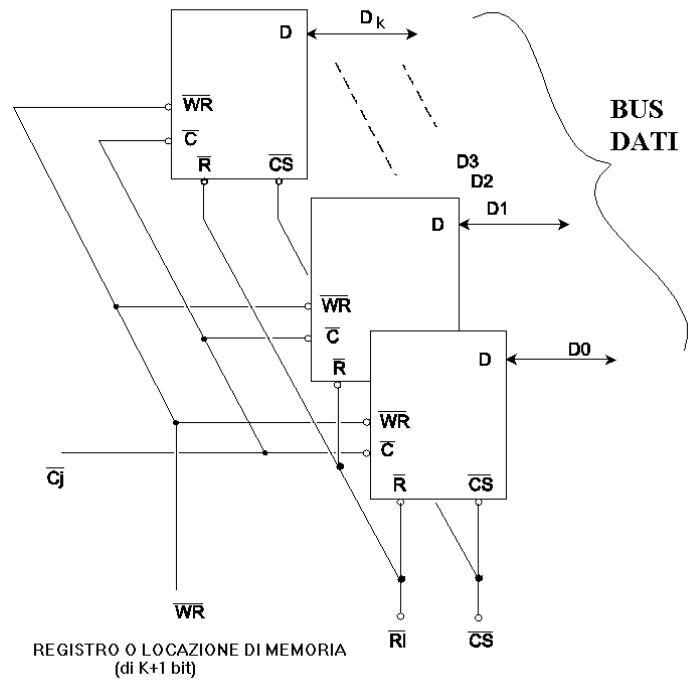
L'associazione indirizzo/contenuto è detta MAPPA DI MEMORIA

- ORGANIZZAZIONE FISICA DI UNA MEMORIA A SEMICONDUETTORE

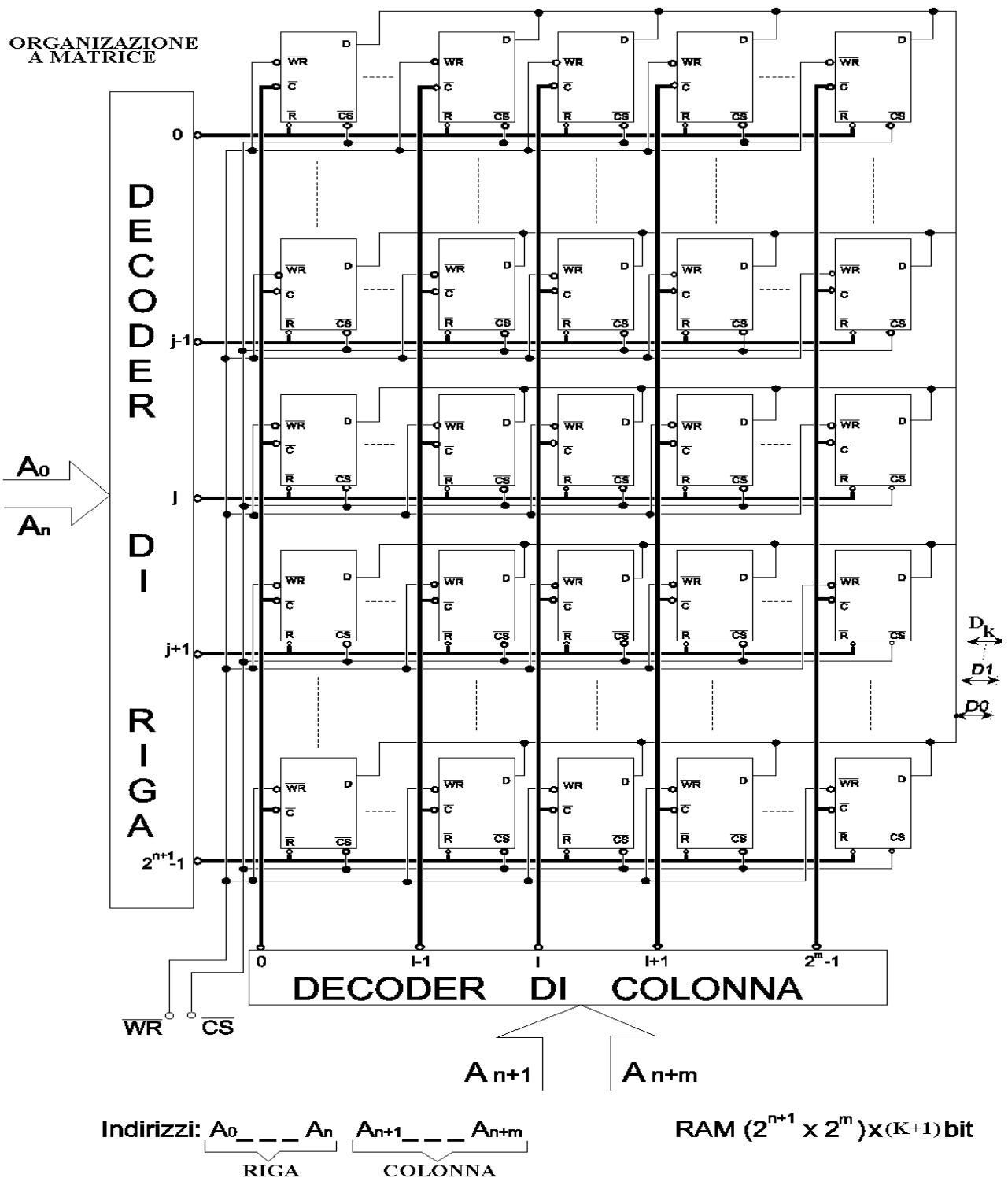


Ogni memoria a semiconduttore deve ospitare sequenze di bit. La tipica cella elementare (1 bit) può essere realizzata tramite un flip-flop di tipo 'D' (F-F/D). In effetti il circuito deve essere completato di una rete di consensi che servono ad ABILITARE il FF in modo che esso reagisca solo se viene impostato dall'operatore l'indirizzo della cella della quale fa parte. L'indirizzo viene selezionato tramite un sistema di RIGHE e COLONNE (tipologia a MATRICE) che ne costituiscono le

coordinate. Ogni coppia riga/colonna corrisponde univocamente ad un indirizzo. Se sia la riga che la colonna sono attivate, come si vede nella figura, i segnali di lettura e scrittura hanno "strada libera" per sollecitare il F-F. Il segnale di WRITE (WR attivo basso) attiva il clock del F-F e quindi un impulso di questo segnale provoca la memorizzazione del bit posti sulla linea DATI ("D"). Il consenso alla lettura viene effettuato dalla linea "CHIP SELECT" (CS attiva bassa) che agisce sull'ingresso di selezione della porta three-state. L'abilitazione di tale porta provoca il passaggio della sua uscita da alta a bassa impedenza e di conseguenza il riversamento del dato (di un bit) sulla linea dati ("D"). Si deve notare che la linea dati è BIDIREZIONALE e quindi sia la lettura che la scrittura avvengono attraverso la linea dati comune (BUS DATI).



La singola cella elementare non è necessariamente un F-F, ma può essere fisicamente costituita da altri supporti (p.e. nelle memorie ROM è un fusibile: [INTEGRO=1; FUSO=0], oppure nelle memorie dinamiche è una capacità [CARICA=1; SCARICA=0]. In alcuni casi la cella può sfruttare fenomeni di magnetizzazione). Qualsiasi sia la natura della cella elementare, questa deve poter essere abilitata da una riga e una colonna in modo da potergli associare un indirizzo. Inoltre deve potersi identificare una linea di consenso alla lettura ed alla scrittura.



Le celle elementari possono essere "unite" per formare un REGISTRO DI MEMORIA che può ospitare un byte ed è identificato da un indirizzo (RIGA/COLONNA)

A loro volta, i registri di memoria, compongono la MATRICE DI MEMORIA che costituisce il "corpo" della memoria stessa. In essa gli indirizzi vengono tradotti in INDICI di RIGA e di COLONNA in modo che ognuno di essi possa identificare un solo registro di memoria.

L'operazione relativa alla generazione della riga e della colonna, a partire dall'indirizzo, avviene tramite due DECODER (uno per le righe e uno per le colonne)

L'indirizzo è quindi ripartito in due parti: la parte più significativa viene posta in ingresso al decoder di riga e quindi identifica la Riga di selezione. Viceversa la parte meno significativa è posta in ingresso al decoder di colonna. I due decoder hanno il compito di attivare una sola linea d'uscita, ovvero quella relativa alla RIGA/COLONNA selezionata.

Dalla figura della matrice di memoria si osserva che:

- ◆ Se $n+1$ ($A_0\%A_n$) sono le linee del bus indirizzi che pilotano il decoder di riga \Rightarrow la matrice di memoria ha 2^{n+1} righe ($R_0 \% R_{2^{n+1}-1}$)
- ◆ Se m ($A_{n+1}\%A_{n+m}$) sono le linee del bus indirizzi che pilotano il decoder di colonna \Rightarrow la matrice di memoria ha 2^m colonne ($C_0 \% C_{2^m-1}$)

La memoria ha quindi un numero di celle pari al prodotto del numero di righe per quello delle colonne

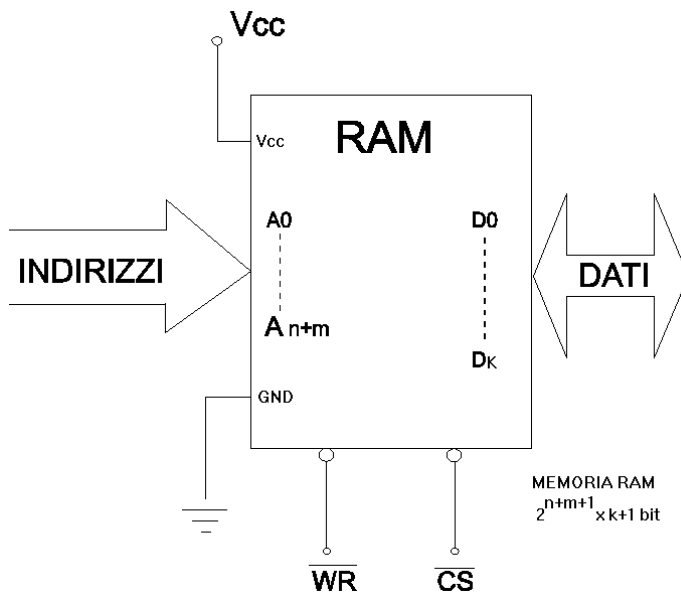
$$\text{RIGHE X COLONNE} = 2^{n+1} \times 2^m = 2^{n+1+m}$$

Si può osservare che è possibile calcolare il numero delle celle in base al numero di linee d'indirizzo.

ESEMPIO: Il bus indirizzi è costituito da 12 linee ($A_0\%A_{11}$). Le prime 7 sono collegate al decoder di riga ($n=6$) ovvero $A_0\%A_6$ e pertanto il numero di righe della matrice di memoria è $2^{6+1}=2^7=128$ righe ($R_0 \% R_{127}$).

Le altre 5 ($A_7\%A_{11}$) sono collegate al decoder di colonna ($m=5$). Il numero di colonne è $2^5=32$ ($C_0 \% C_{31}$).

Il numero di locazioni è pertanto $128 \times 32 = 4096$ che corrisponde alla potenza 2^{12} ovvero alla potenza del due che ha per esponente il numero di linee di indirizzo.



Dal punto di vista esterno quindi la memoria può essere rappresentata con un blocco logico al quale approdano tre tipi di segnali (oltre all'alimentazione Vcc e la massa).

- ◆ BUS DATI (normalmente bidirezionale). È costituito da un numero di linee ($D_0\%D_k$) uguale al numero di bit corrispondenti alla capacità di ogni cella ($k+1$ bit). Normalmente questo valore è 8 ($K=7$).
- ◆ BUS INDIRIZZI (monodirezionale). Imposta l'indirizzo della cella interessata. Il numero delle linee ($A_0\%A_{n+m}$ ovvero $m+n+1$) è tale che $2^{(n+m+1)}$ corrisponde al numero di locazioni.
- ◆ BUS CONTROLLI. È l'insieme delle linee

che controllano/comandano le varie operazioni. Tali segnali sono normalmente attivi bassi (svolgono la loro funzione quando sono a livello basso)

I segnali di controllo sono normalmente due:

1. CS (CHIP SELECT). Serve per abilitare la memoria e attivare il buffer three-state d'uscita. Quando viene portato a livello basso, il dato può transitare dalla cella all'esterno sul bus dati per essere letto o viceversa per l'operazione di scrittura. Per questo tale segnale è talvolta nominato OUTPUT ENABLE (OE). Quando è a livello alto la parte in comunicazione con il bus dati è in ALTA IMPEDENZA e quindi il circuito è come sconnesso dal bus dati.

- WR (WRITE). Definisce il tipo di operazione da svolgere, ovvero se si "legge" (il dato della cella selezionata passa sul bus dati e può essere rilevato dall'esterno) o se si "scrive" (ovvero se si va a inserire il dato nella cella). Normalmente la scrittura è attiva quando il segnale è a livello basso. Viceversa per la lettura e pertanto questa è la situazione ordinaria della memoria. In alcuni integrati il segnale viene nominato W/R (write/read)

Le operazioni da fare per scrivere/leggere in memoria devono quindi essere svolte nella seguente sequenza.

- IMPOSTAZIONE DELL'INDIRIZZO sul bus indirizzi.
- DEFINIZIONE DEL TIPO D'OPERAZIONE (lettura o scrittura tramite il segnale di WR)
- ABILITAZIONE della memoria tramite attivazione del segnale CS.

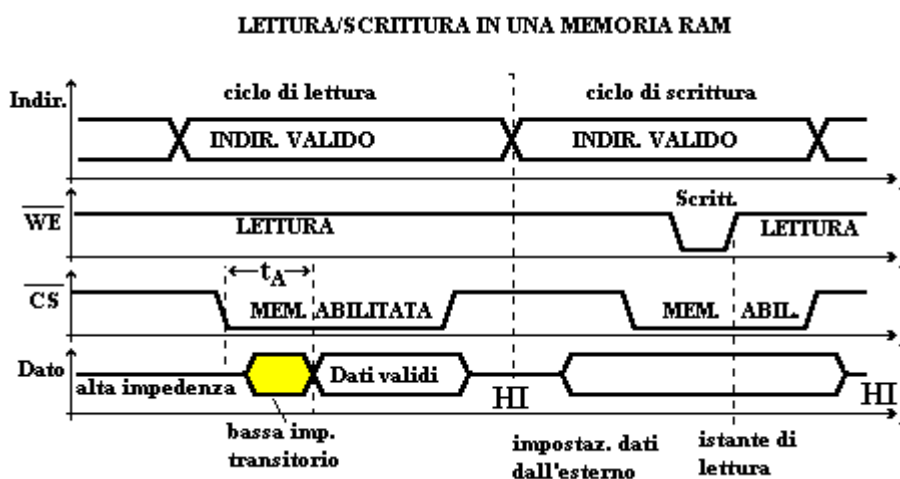
La capacità di memoria può essere identificata osservando il numero delle linee dei bus DATI e INDIRIZZI.

Infatti la capacità di memoria è caratterizzata da due valori:

- Numero di celle (che è possibile calcolare in base al numero di linee di indirizzo)
- Numero di Bit per cella (che è uguale al numero di linee del bus dati)

ESEMPIO: Una memoria RAM che ha 7 linee di indirizzo e 4 di dato ha una capacità di memoria di 128 X 4 (bit)

- TEMPIFICAZIONE DELLA LETTURA/SCRITTURA IN UNA MEMORIA RAM



Le operazioni da effettuare per operare con una memoria RAM sono le seguenti:

- CICLO DI LETTURA:

- Impostare l'indirizzo di memoria
- abilitare la memoria portando a livello basso il segnale di "chip select" (CS, attivo basso). NB: il segnale di WR è disabilitato.

Il bus dati che normalmente è in ALTA IMPEDENZA (HI), passa in bassa impedenza fornendo sul relativo bus (dati) il valore contenuto nella cella indirizzata. Si deve osservare però che questo non avviene istantaneamente, ma i dati sul bus non sono inizialmente validi. C'è quindi un periodo di transizione durante il quale il dato si "assesta" prima di andare a regime. Il tempo che intercorre fra l'abilitazione della memoria e la disponibilità del dato sul bus è il "tempo di accesso" (t_A).

- CICLO DI SCRITTURA:

- Impostare l'indirizzo di memoria
- Abilitare la memoria portando a livello basso il segnale di "chip select" (CS, attivo basso).
- Forzare sul bus dati il valore da memorizzare
- Fornire l'impulso di scrittura portando il WE a livello basso.

Il momento esatto della lettura è quello in cui il segnale di lettura ritorna a livello alto.

- MEMORIE RAM

Le memorie RAM (RANDOM ACCESS MEMORY) sono memorie ad accesso diretto¹. In esse è possibile sia leggere che scrivere, ovvero è possibile anche la memorizzazione dell'informazione da parte dell'utente spesso più volte. È prevista quindi anche la CANCELLAZIONE di un dato che consiste nel sovrapporre la nuova informazione alla vecchia. La lettura non è comunque distruttiva. A differenza delle memorie ROM, le RAM sono VOLATILI, nel senso che se l'alimentazione viene a mancare l'informazione è perduta².

Le memorie RAM si distinguono in due categorie:

- ◆ RAM STATICHE (SRAM). La cella elementare è costituita da un F-F di tipo D. Il circuito è un MULTIVIBRATORE BISTABILE ovvero un dispositivo la cui uscita può assumere solo due stati: quello alto e quello basso.
- ◆ RAM DINAMICHE (DRAM) La cella di memoria è una capacità e pertanto l'informazione è memorizzata sotto forma di carica (Capacità carica, livello alto; capacità scarica, livello basso). In effetti la capacità non è un condensatore, ma la "CAPACITÀ PARASSITA" fra gate e canale di un transistor MOS.

Il tipo di cella influisce fortemente sulle caratteristiche della memoria. Infatti le SRAM sono molto più veloci delle DRAM. D'altra parte, le DRAM permettono una scala di integrazione maggiore e hanno un costo minore a parità di capacità.

I tempi di accesso più lunghi nelle DRAM sono anche e soprattutto dovuti ad una tecnica di conservazione dei dati al loro interno. Infatti, le capacità con le quali sono costituite le celle tendono a scaricarsi velocemente perdendo la carica e di conseguenza l'informazione in esse contenute. Per questo è necessario effettuare una particolare operazione detta REFRESH che consiste nel leggere e riscrivere ogni cella periodicamente ad intervalli regolari. Il tempo che intercorre fra un refresh ed il successivo dipende dal tipo di memoria DRAM ed è dell'ordine del msec. L'operazione di refresh deve essere comandata dall'esterno e quindi i circuiti di supporto alla memoria sono più complessi. Inoltre anche se la rigenerazione dell'informazione (refresh) non ha una durata sensibilmente alta, deve essere effettuata ciclicamente per ogni locazione e pertanto sommando i tempi il risultato è un rallentamento della elaborazione notevole, anche se accettabile.

CELLA DI MEMORIA RAM STATICA (SRAM)

Facendo riferimento al circuito della SRAM si osserva che essa è composta principalmente da due transistor Q1 e Q2 che si controeazionano a vicenda. Tale circuito è detto MULTIVIBRATORE BISTABILE in quanto le tensioni al suo interno possono assumere solo due stati stabili, ovvero la massa (livello basso) e quello dell'alimentazione V_{DD} (livello alto).

I transistor Q3 e Q4 hanno solo funzione di RESISTENZA (detta di PULL-UP). L'informazione è memorizzata sotto forma di tensione nel punto "C" o equivalentemente nel punto "A". Per giustificare i due stati stabili si può presupporre che il punto "A" sia a livello alto a causa del fatto che Q1 è interdizione. Ciò provoca un potenziale alto sul gate di Q2 (punto "B"). Tale potenziale mantiene Q2 in saturazione e pertanto la tensione fra Drain e Source è nulla. Questo significa che il punto "C" è a massa e mantiene a potenziale nullo il punto "D" ovvero il gate di Q1. Per questo l'interdizione di Q1 è stabile e il fenomeno si auto sostiene. Tale situazione non è l'unica stabile in quanto è possibile la situazione simmetrica; ovvero Q2 in interdizione e Q1 saturazione. Ciò comporta che il potenziale sui punti "A" e "B" se forzato a livello alto lì rimane e lo stesso accade per il livello basso. Lo stesso si può dire anche se

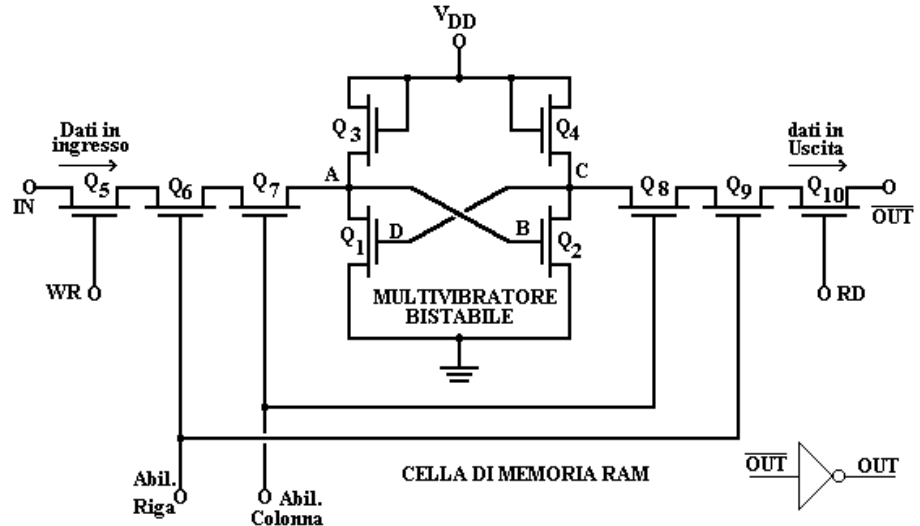
¹ L'accesso diretto prevede il recupero rapido dell'informazione in quanto si conosce la locazione (Indirizzo) che la contiene.

² Per questo in un PC si deve continuamente "SALVARE" sul disco i dati appena inseriti.

in alternativa per il potenziale sui punti "C" e "D".

La forzatura può avvenire tramite il canale d'ingresso che può rendere accessibile il punto "A" se i transistor Q5, Q6 e Q7 sono in saturazione (si comportano come interruttori chiusi). In questo caso il potenziale posto all'ingresso "IN" può influenzare quello sul punto "A" permettendo quindi la scrittura di un bit.

Il bit può essere letto aprendo il canale d'uscita saturando i transistor Q8, Q9 e Q10. In questo modo il potenziale del punto "C" si propaga verso l'uscita OUT e da lì può essere misurato ovvero letto.

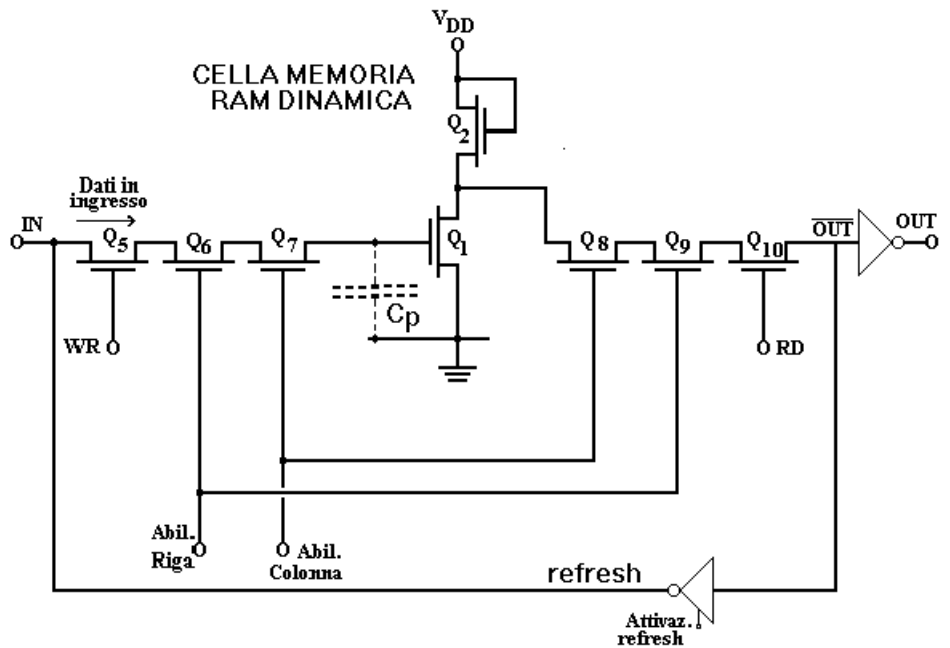


Si deve notare che il valore letto in uscita è negato rispetto a quello depositato in ingresso. Quindi, l'uscita OUT è interfacciata tramite una porta NOT che oltre ad avere il compito di aggiustare la polarità del potenziale ha anche quello di rigenerare relativamente l'energia in modo che l'eventuale assorbimento di corrente da parte del dispositivo lettore non influenzi lo stato dell'uscita.

CELLA DI MEMORIA RAM DINAMICA (DRAM)

La cella della DRAM sfrutta il fenomeno capacitivo realizzato dalla CAPACITÀ PARASSITA fra Gate e canale del transistor Q1 (vedi capacità tratteggiata nella figura). La rete di accesso è simile a quella della SRAM e prevede i controlli di riga, di colonna, di scrittura e di lettura. Il transistor Q1 oltre ad presenziare allo scopo di poter disporre della capacità, serve anche per isolare la capacità stessa dal resto del circuito in modo che essa possa mantenere più a lungo possibile la carica al suo interno e di conseguenza l'informazione. I transistor Q2 ha solamente il ruolo di resistenza (di Pull-up).

Si può notare che il potenziale ai capi della capacità polarizza anche il gate del Q1. Se la capacità è carica il suo potenziale è alto e Q1 è in saturazione. La tensione d'uscita è quindi a livello basso. Viceversa, la capacità scarica provoca l'interdizione di Q1 e quindi un livello alto di uscita. Per riaggiustare la polarità è necessario mandare il



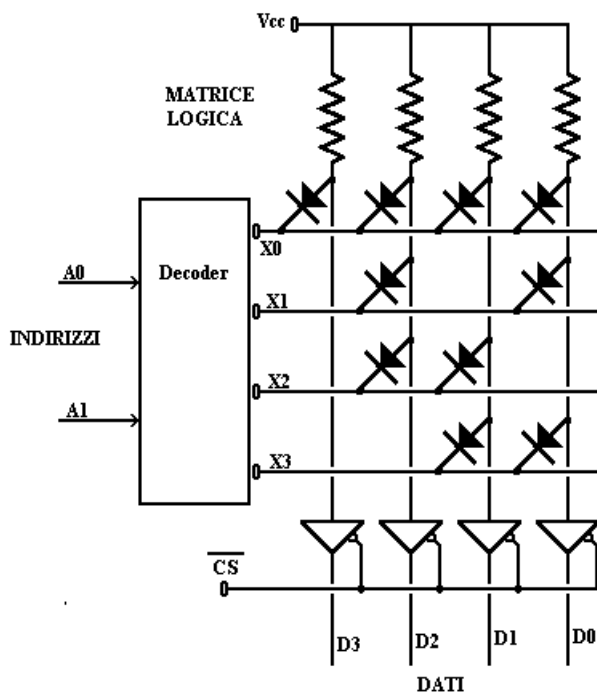
segnale ad una porta NOT che ha anche il compito di rigenerare eventuali perdite d'energia.

Nonostante i vari accorgimenti, la capacità tende lentamente a scaricarsi ed è pertanto necessario provvedere periodicamente alla operazione di REFRESH (rigenerazione) dell'informazione ovvero del valore di carica. Questa operazione periodica deve essere effettuata prima che la carica nella capacità sia completamente dispersa e quindi illeggibile. Per questo è presente il CIRCUITO di REFRESH che, attivato dall'esterno tramite l'opportuno comando, svolge un'operazione di lettura dell'uscita e contemporaneamente di riscrittura ovvero dell'eventuale ricarica della capacità.

Si deve notare che l'operazione di refresh è condizionata all'apertura dei canali sia d'ingresso che di uscita e pertanto deve essere prevista anche l'operazione di indirizzamento e abilitazione della cella interessata al refresh.

- MEMORIE A SOLA LETTURA

Le memorie a sola lettura o memorie ROM (Read Only Memory) sono memorie nelle quali è possibile solo leggere (almeno in linea di massima) o comunque la scrittura è un'operazione saltuaria non prevista nel funzionamento corrente. Le informazioni quindi vengono inserite direttamente dal costruttore, su specifica del cliente, in fase di realizzazione. I principi logici di funzionamento sono praticamente gli stessi delle memorie RAM, ma la cella elementare sfrutta altri principi e pertanto anche le prestazioni sono diverse. Le memorie ROM sono NON VOLATILI, pertanto l'informazione permane anche senza l'alimentazione.



La tecnologia ha permesso di realizzare vari tipi di memorie a sola lettura secondo una scala di prestazioni e conseguentemente di costi crescenti:

MEMORIE ROM PROPRIAMENTE DETTE: Sono realizzate come rete combinatoria o meglio come una matrice logica composta da righe e colonne. Le celle sono costituite dall'incontro d'ogni riga con ogni colonna. Nel punto d'incrocio può trovarsi (L) o no (H) un diodo che collega le due linee. La presenza o no della connessione stabilisce il valore del bit. Infatti, se la riga va a livello basso (perché selezionata) trascina a massa tutte le colonne collegate tramite diodo.

Nell'esempio, l'indirizzo 01 attiva la linea X1 del decoder portandola a massa. Di conseguenza vengono portate a 0 le colonne D0 e D2. Questo significa che nella cella di indirizzo 01 (A1, A0) c'è il valore 1010. Procedendo così si rileva la seguente mappa di

memoria.

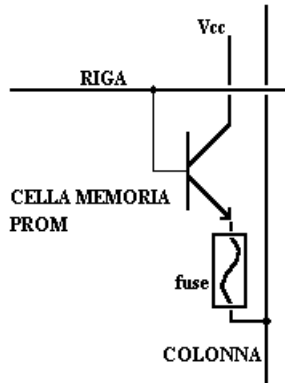
A1	A0	D3	D2	D1	D0
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	0	0	1
1	1	1	1	0	0

Si potrebbe sostituire ogni diodo con un collegamento diretto, ma in questo caso verrebbe a crearsi un

corto circuito fra le righe collegate.

MEMORIE PROM (PROGRAMMABLE ROM).

In questo caso la cella è simile a quella della ROM, ma il collegamento fra riga e colonna è fatto utilizzando un fusibile (oltre che dal diodo o meglio un transistor). Il costruttore fornisce la memoria con tutte le connessioni integre (praticamente il contenuto di ogni cella è tutto a livello basso). Il cliente può scrivere nella memoria bruciando i fusibili opportuni. Tale operazione deve essere fatta tramite un opportuno apparecchio detto PROGRAMMATORE DI PROM. Una volta rotto il fusibile questo non può essere più reintegrato e quindi in tale memoria è possibile scrivere una sola volta.



(vedi figura: fusibile integro = L / fusibile bruciato = H)

Sono disponibili in commercio anche memorie PROM a "GIUNZIONE FUSA" dove invece del fusibile viene bruciata una giunzione. Quest'ultimo tipo è migliore poiché non presenta un problema che invece si ha nelle memorie a fusibile. Infatti, le scorie del filamento bruciato che rimangono nei pressi della fusione possono ricostituire il contatto.

MEMORIE EPROM (ERASABLE PROM).

Il cliente può cancellare il contenuto della memoria e riscrivere le informazioni all'interno. Il bit è memorizzato grazie ad un sistema di accumulazione di carica in una giunzione. È possibile disperdere la carica e di conseguenza cancellare i dati esponendo l'integrato ai raggi ultravioletti. Questo tipo di memoria è riconoscibile dal fatto che essa presenta nella parte superiore una finestra trasparente. Quest'ultima permette il passaggio dei raggi U.V. per la cancellazione. La finestra deve essere coperta una volta che la memoria è stata programmata, altrimenti i raggi solari o di altro tipo possono deteriorare l'informazione memorizzata.

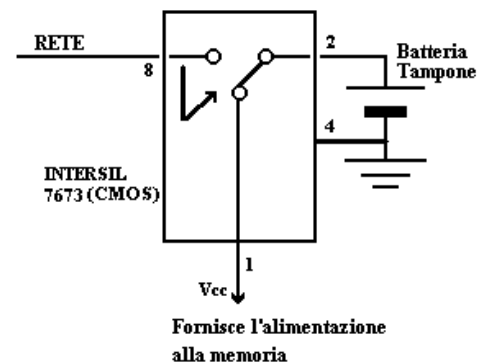
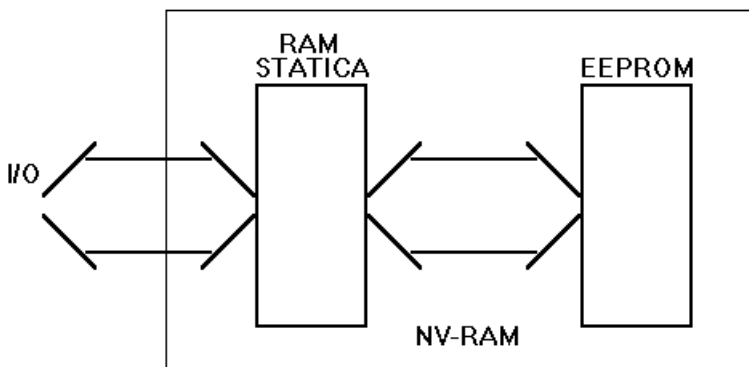
Ovviamente sia l'operazione di cancellazione che quella di riscrittura deve essere fatta tramite un apparecchio detto PROGRAMMATORE DI EPROM. L'operazione di cancellazione non è immediata, ma necessita un'esposizione ai raggi U.V. che va dai 10 ai 30 minuti circa.

MEMORIE EEPROM/E²PROM (ELECTRICALLY ERASABLE PROM).

Questo tipo di memoria è come la EPROM, ma la cancellazione è immediata e non necessita di particolare attrezzatura in quanto può avvenire senza togliere il chip dal circuito ove risiede, attivando un particolare piedino di cancellazione.

MEMORIE EAROM (ELECTRICALLY ALTERABLE ROM).

Sono quasi delle memorie RAM non volatili, in quanto, anche se il tempo di scrittura/cancellazione è alto,



questo è comunque comparabile con quello delle RAM. Servono normalmente per applicazioni particolari, visto l'alto costo, e la bassa velocità di scrittura. Possono essere utili per esempio per la memorizzazione di dati o tabelle che sono caricati in memoria all'accensione e non più modificati.

MEMORIE NOVRAM (NON VOLATILI RAM) E KEPROM (EPROM CON ACCESSO PER CHIAVE).

Queste memorie, molto costose, servono per scopi particolari. Le NOVRAM sono costituite da un blocco RAM il cui contenuto viene salvato in una memoria EAROM nel momento in cui viene tolta l'alimentazione. Le prestazioni sono in sostanza quelle della RAM con l'aggiunta della non volatilità. In esse possono essere conservati dati senza che questi debbano essere salvati in memoria di massa.

Un sistema alternativo alla NOVRAM è quello di utilizzare un chip deviatore con una BATTERIA TAMPONE che mantiene l'alimentazione alla memoria anche quando l'apparato è staccato dalla rete.

Le KEPROM (KEY ACCESS-EPROM) sono memorie il cui accesso è possibile tramite una PASSWORD definita dall'utente al momento della scrittura dei dati.

- ESPANSIONI DI MEMORIA

Per poter disporre di capacità di memoria più grandi è necessario unire circuitualmente più integrati, ovvero "ESPANDERE" il sistema di memorizzazione delle informazioni. Per questo ci sono due sistemi:

- ESPANSIONE PER BIT:

Dati due chip di memoria, si concatenano le celle per formare registri di capacità doppia. P.e. se i due chip hanno capacità "32 x 4", si ottiene una memoria di capacità totale "32 x 8". Se nelle celle "26" dei due chip c'è rispettivamente il valore "0111" e "1010", la cella "26" dell'espansione contiene il valore

"0111 - 1010"

- ESPANSIONE PER CELLE

In questo caso si somma il numero delle celle. Infatti, le due memorie dell'esempio precedente (32 x 4) formano un'espansione con numero di celle doppio, ovvero:

"64 x 4"

Si deve notare che la dimensione d'ogni cella è invariata.

- PROGETTO DEL CIRCUITO DI UN'ESPANSIONE DI MEMORIA.

Il circuito dipende dalla capacità dei singoli chip, ma anche dal tipo d'espansione.

La prima cosa da fare è la MAPPA dell'INDIRIZZAMENTO, cioè, un diagramma che mostra come sono connesse logicamente le due o più memorie.

Si può notare che nel caso dell'espansione per bit le due memorie vengono abilitate contemporaneamente e che una fornisce la parte bassa del dato, mentre l'altra la parte alta. Inoltre l'indirizzo è in parallelo a entrambi i chip.

Nell'espansione per celle invece è il bus che è collegato in parallelo e che il numero di linee d'indirizzo è aumentato di uno (c'è in più A_5 che serve ad abilitare il singolo chip).

Per disegnare lo schema dell'espansione si avvale di una convenzione (vedi figura): I nomi che compaiono all'interno del blocco indicano i pin (o piedini) dell'integrato, mentre quelli che compaiono

all'esterno sono i nomi dei segnali.

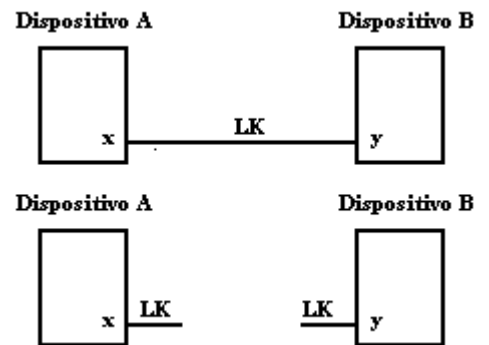
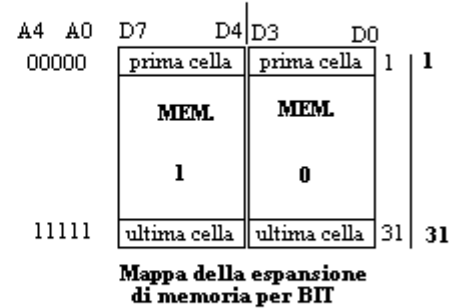
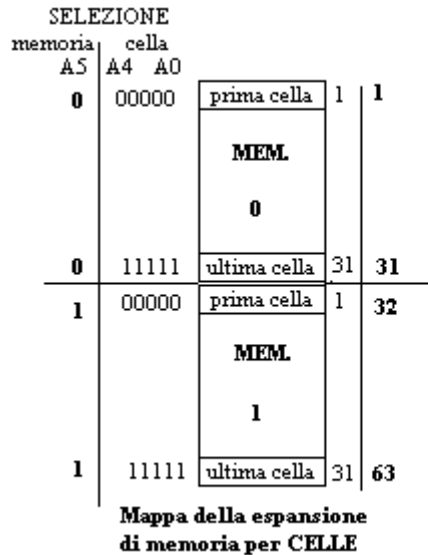
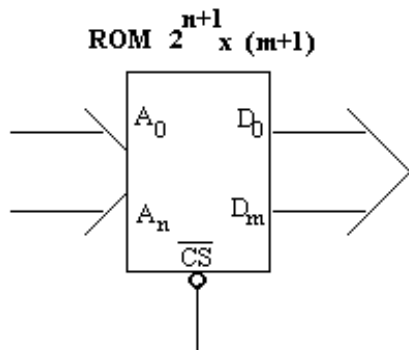
nella figura si osserva che il pin "X" del dispositivo "A" è collegato al pin "Y" del dispositivo "B" tramite il collegamento "LK". NB: per indicare il collegamento non è necessario tracciarlo completamente, ma basta "citarlo" nel disegno.

La seconda cosa da fare è disegnare i chip di memoria. Si deve tenere conto che i chip sono tutti uguali e hanno l'aspetto di quello della figura.

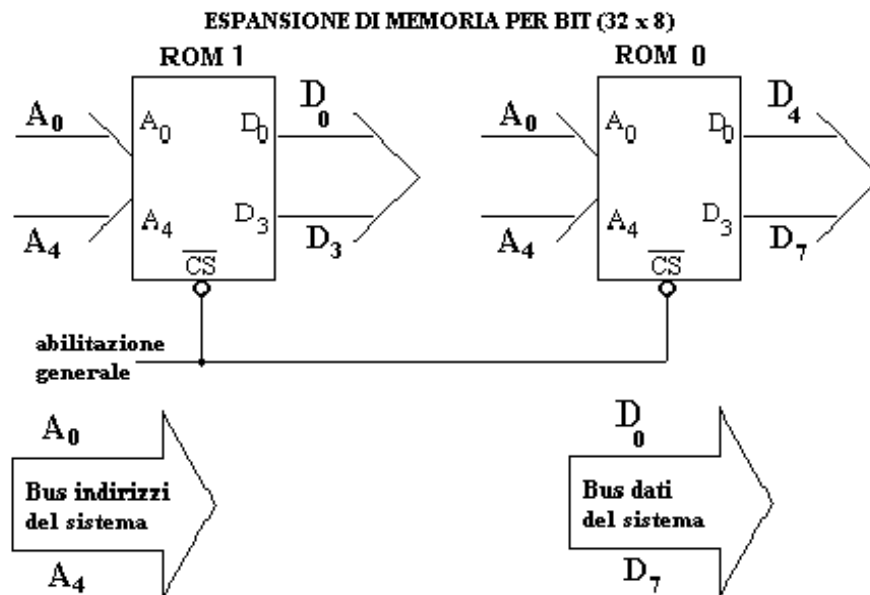
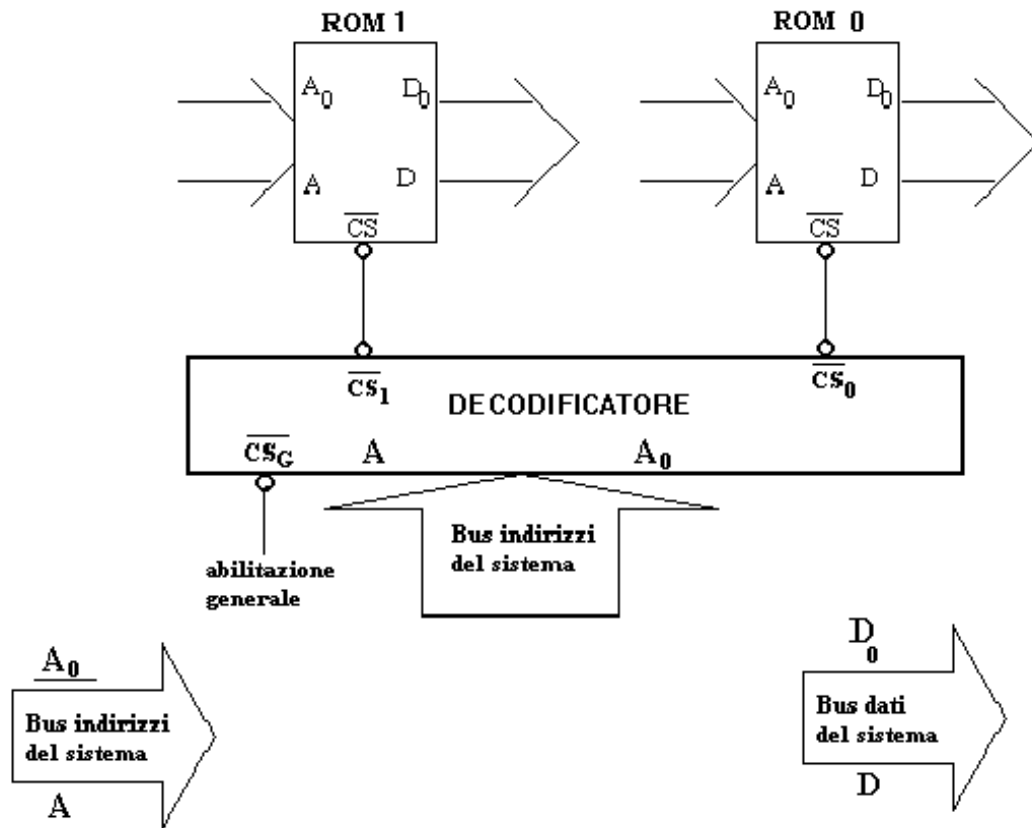
NB: i segnali che interessano sono:

- BUS DATI
- BUS INDIRIZZI
- BUS CONTROLLI (facendo riferimento ad una ROM per semplicità, l'unico segnale di controllo è il CS, altrimenti c'è anche il WE).

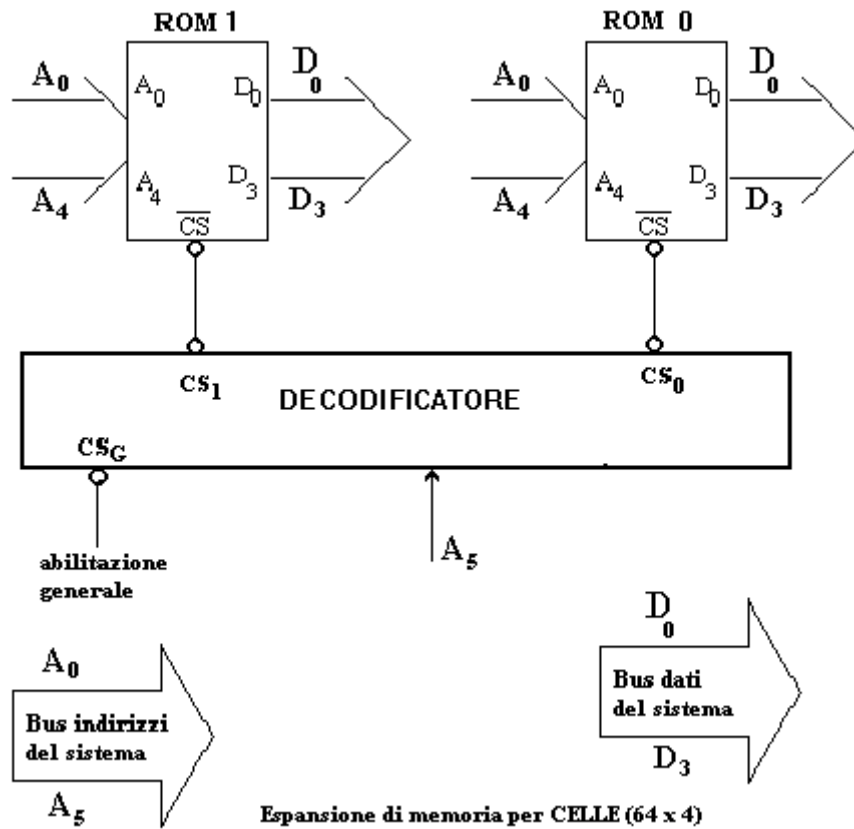
Dopo aver disegnato le memorie, si disegna il BUS generale (DATI e INDIRIZZI) nonché la RETE DI DECODIFICA che abilita i CS d'ogni singola memoria.



Partendo dall'esempio in cui le memorie hanno una capacità di 32 x 4, si possono completare i due schemi come in figura.



Per quanto riguarda l'espansione per celle si ha:

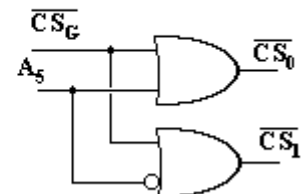


la decodifica si ottiene come segue

DECODIFICA DELL' ESPANSIONE PER CELLE

- ESPANSIONE MISTA

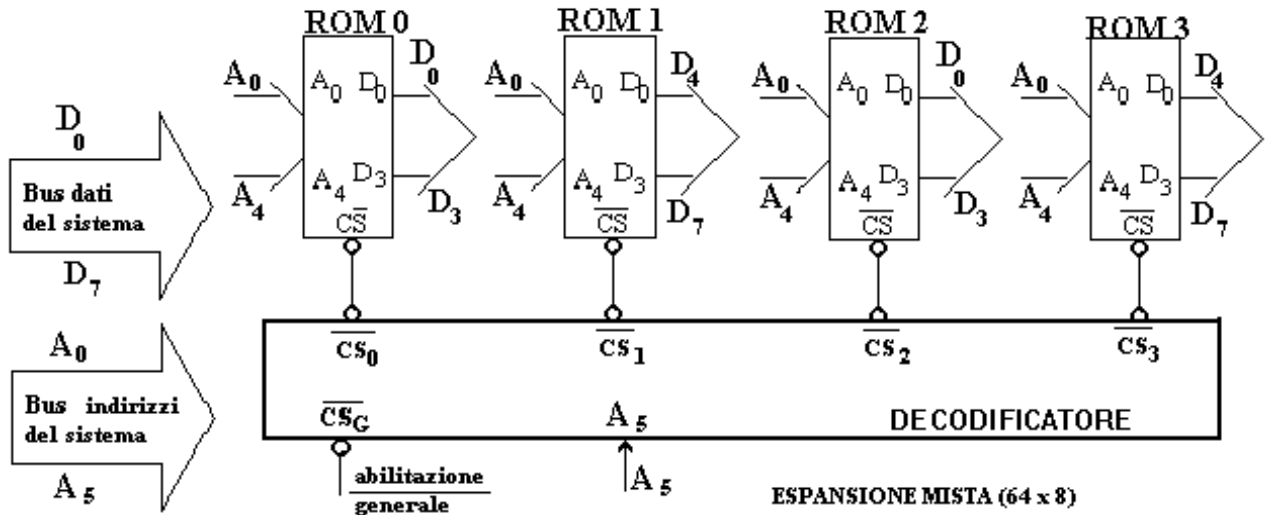
$\overline{CS_G}$	A_5	$\overline{CS_1}$	$\overline{CS_0}$
0	0	1	0
0	1	0	1
1	0	1	1
1	1	1	1



MAPPA DI MEMORIA, TABELLA VERITÀ DECODIFICA E CIRCUITO ESPANSIONE DI MEMORIA MISTA

SELEZIONE memoria		cella		D7	D4	D3	D0
A5	A4	A0					
0	0	00000	prima cella	prima cella	1	1	
			MEM.	MEM.			
			1	0			
0	1	11111	ultima cella	ultima cella	31	31	
1	1	00000	prima cella	prima cella	1	32	
			MEM.	MEM.			
			3	2			
1	1	11111	ultima cella	ultima cella	31	63	

$\overline{CS_G}$	A_5	$\overline{CS_3}$	$\overline{CS_2}$	$\overline{CS_1}$	$\overline{CS_0}$
0	0	1	1	0	0
0	1	0	0	1	1
1	0	1	1	1	1
1	1	1	1	1	1



- COLLEGAMENTO DI UN CHIP DI MEMORIA AL BUS

E' possibile collegare anche un solo chip di memoria al bus, in modo tale che abbia un indirizzo di partenza prefissato e fornisca i dati per una fascia definita del bus dati.

BANCO			CELLA				D ₁₅ D ₁₁ D ₈				D ₀	
A ₇	A ₆	A ₅ /A ₄	A ₄	A ₃	A ₂	A ₁	A ₀	D ₁₅	D ₁₁	D ₈	D ₀	
0	0	0	0	0	0	0	0	BANCO N. 0				0
0	0	0	1	1	1	1	1					32

1	0	0	0	0	0	0	0	ROM BANCO N. 4.				128
1	0	0	1	1	1	1	1					160

1	1	1	0	0	0	0	0	BANCO N. 7				224
1	1	1	1	1	1	1	1					255

MAPPA DI MEMORIA

Un tipico esempio può essere quello di collegare una ROM 32 x 4 ad un bus (indirizzi a 8 bit: A₇/A₀ e dati a 16 bit: D₁₅/D₀). Il problema è fare in modo che la prima cella della ROM abbia indirizzo 128 (80h) e che fornisca la terza parte del dato, in altre parole i bit che vanno da D₁₁ a D₈.

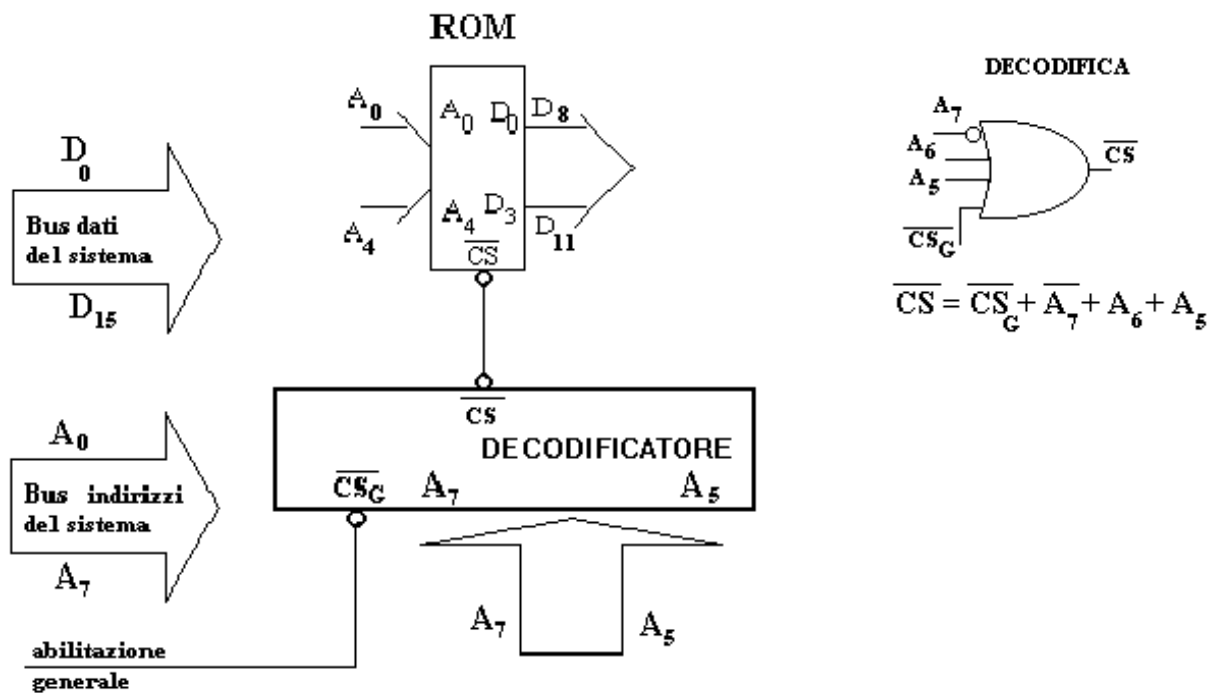
La mappa di memoria è quella di figura. Si può notare che le celle della ROM in questione hanno indirizzi che vanno da:

CELLA	Indirizzo	A ₇ A ₀
prima	128	1 0 0 0 0 0 0 0
ultima	158	1 0 0 1 1 1 1 1

Si deve notare che i tre bit più significativi (A₇-A₅) sono uguali per tutte le celle e identificano il banco. D'altra parte sono quelli corrispondenti al valore "4" ovvero al numero del banco. Viceversa, quelli meno significativi (A₄-A₀) variano dal valore min. (0) al valore max (31) e

identificano la cella all'interno del banco. Di conseguenza A₇-A₅ andranno alla decodifica, la quale provvederà ad abilitare il CS solo per la combinazione " 1 0 0 ". Gli altri andranno direttamente alla ROM.

Per ciò che riguarda il collegamento al bus dati, dovendo, la ROM, fornire i bit relativi alla terza fascia del bus, i pin del dato saranno collegati da D₈ a D₁₁.



COLLEGAMENTO DI UN CHIP DI MEMORIA (32 x 4) AL BUS IN MODO TALE L'INDIRIZZO DELLA PRIMA CELLA SIA 128 (80h) E CHE FORNISCA LA TERZA SEZIONE DEL DATO.

- ESERCIZI (Registri e Memorie)

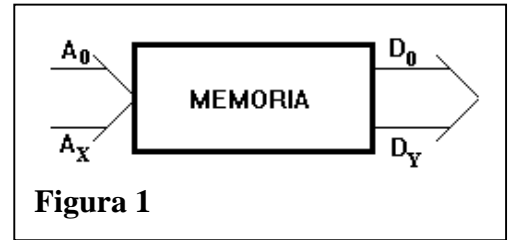
Esercizio n. 1

Y	X
2	3
9	17
19	15

Figura 2

Osservando la figura 2 definire:

- Tipo di memoria (RAM/ROM)
- La capacità di memoria in base ai valori di X e Y prelevati dalla tabella di fig. 1
- I valori di X e Y nei tre casi:
 1. Capacità di mem. 64 x 4 bit
 2. Capacità di mem. 32 x 8 bit
 3. Capacità di mem. 64K x 1 bit.



Esercizio n. 2

Facendo riferimento alla Figura 3:

- 1) Dire il valore corrispondente di X;
- 2) Sapendo che in ogni cella può essere inserito uno su 128 codici, specificare il valore minimo di Y;
- 3) Dire i valori contenuti nelle celle d'indirizzo: 18, 27, 12, 34, 00101B, 11001B, 10000B, 00111B, 10111B, 10100B.
- 4) Dire qual è l'indirizzo delle celle che ospitano il valore "A", ",", "C", "a".

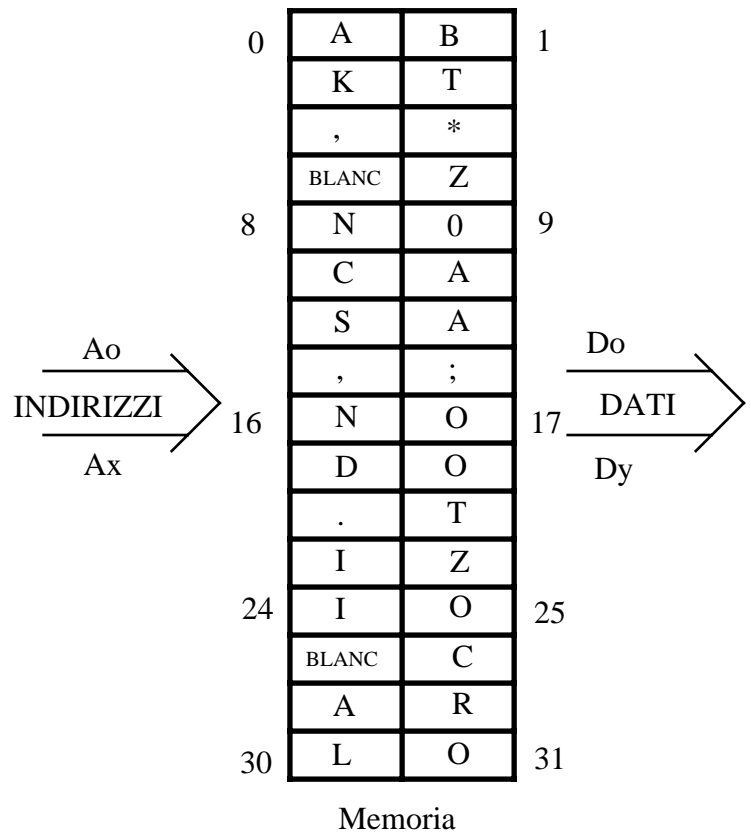


Figura 3

Esercizio n. 3

Dire il numero di F-F necessari a comporre un registro che deve ospitare un valore compreso fra 0 e 150 oppure 5 e 300 oppure 8 e 43.

Esercizio n. 4

Facendo riferimento alla Figura 4:

1. Specificare la funzione dei blocchi (1), (2), (3)
 2. Supponendo che la capacità sia **32K x 8**, **128 x 6**, **16K x 5**, specificare i valori di **i,x,k,j,n**.
 3. Specificare l'indirizzo della cella di coordinate C3 R2 nei tre casi della sezione 2.
- Trovare le coordinate della cella di indirizzo 0.... 00101101B facendo riferimento ai casi specificati nel punto 2.

Esercizio n. 5

Date 4 memorie ROM 16 x 4 (4 ROM 16 x 4) effettuare i collegamenti in maniera da espandere come segue: **16 x 16**, **32 x 8** e **64 x 4**.

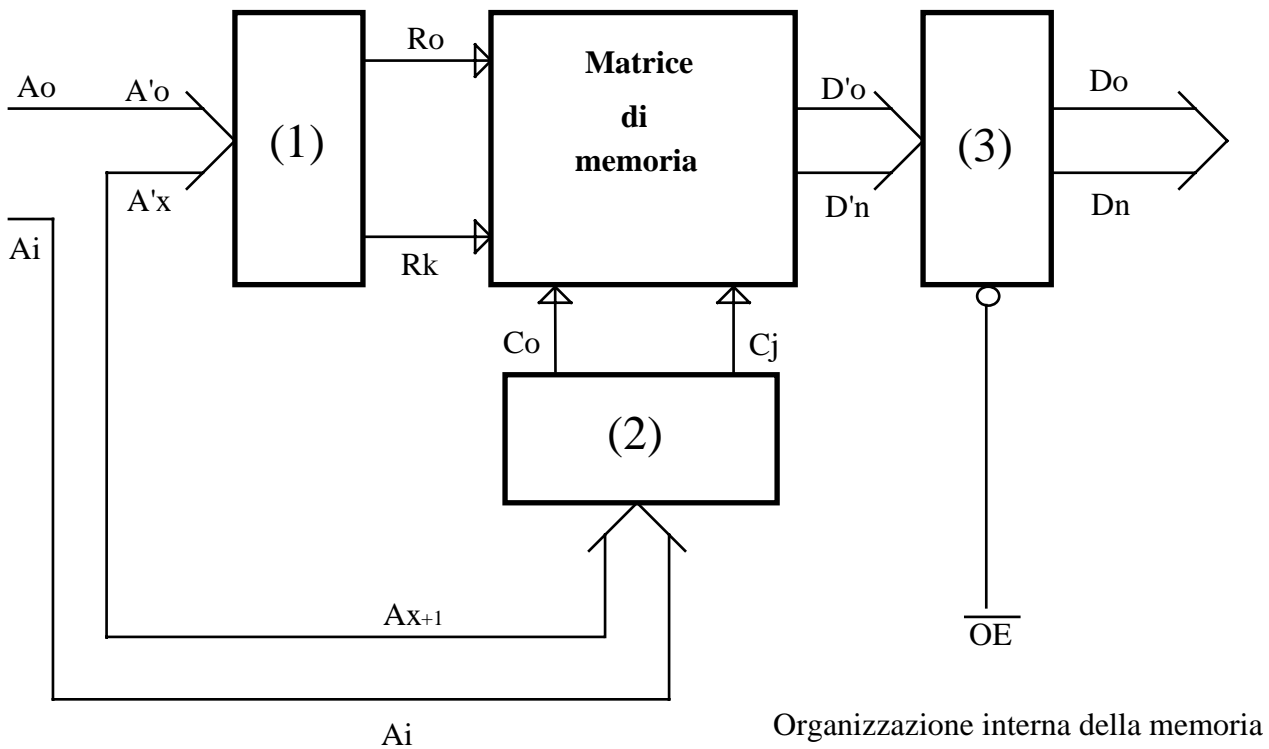


Figura 4

Esercizio n. 6

Date 8 ROM 256 x 4 dire quali sono le possibili espansioni che si possono realizzare; disegnare i relativi schemi (eventualmente utilizzando dei decoder).

Esercizio n. 7

Data una memoria ROM 2K x 8, progettare la rete di decodifica che permette di collegarla ad un BUS indirizzi con capacità di indirizzamento di 64K e in modo che la prima cella abbia indirizzo 12K (banco N°6).

SOMMARIO

MEMORIE A SEMICONDUCTORE	1
MEMORIE A SEMICONDUCTORE	2
- GENERALITÀ	2
- MEMORIE A SEMICONDUCTORE	2
- REGISTRI A SCORRIMENTO	3
- ORGANIZZAZIONE LOGICA D'UNA MEMORIA A SEMICONDUCTORE (Celle e Indirizzi)	4
- ORGANIZZAZIONE FISICA DI UNA MEMORIA A SEMICONDUCTORE	6
- TEMPIFICAZIONE DELLA LETTURA/SCRITTURA IN UNA MEMORIA RAM	9
- MEMORIE RAM	9
- MEMORIE A SOLA LETTURA	12
- ESPANSIONI DI MEMORIA	14
- ESERCIZI (Registri e Memorie)	20
SOMMARIO	21

1 Dire quali sono le peculiarità di una memoria e da che cos'è costituita.

Mem

2 Dire quali sono i parametri che identificano le caratteristiche di una memoria a semiconduttore.

Mem

3 Dire in che cosa consistono il supporto e la codifica in una memoria a semiconduttore.

Mem

4 Spiegare quali sono i tipi d'accesso in una memoria.

Mem

5 Spiegare quali sono i tipi di memorie elettroniche e quali sono le loro caratteristiche.

Mem

6 Descrivere l'organizzazione logica di una memoria.

Mem

7 Spiegare la differenza fra organizzazione logica e fisica di una memoria.

Mem

8 Spiegare com'è organizzata fisicamente una memoria a semiconduttore.

Mem

9 Spiegare cosa differenzia una memoria a semiconduttore da un'altra.

Mem

10 Spiegare la differenza fra "contenuto" e "indirizzo" di una cella di memoria.

Mem

11 Spiegare l'utilizzo di una memoria e come essa realizza il concetto di "variabile".

Mem

12 Spiegare quali sono i componenti che formano una memoria a semiconduttore.

Mem

13 Spiegare la differenza fra "cella elementare" e "registro di memoria".

Mem

14 Spiegare il principio della matrice di memoria.

Mem

15 Dire come è espressa la capacità di una memoria a semiconduttore e come essa è connessa con i dispositivi esterni.

Mem

16 spiegare quali sono i segnali che concorrono al funzionamento di una memoria a semiconduttore.

Mem

17 Spiegare quali sono le caratteristiche dei bus che concorrono al funzionamento di una memoria a semiconduttore.

Mem

18 spiegare il significato di "alta impedenza" e l'utilizzo della tecnica three-state.

Mem

19 Spiegare la differenza, da un punto di vista circuitale fra una memoria RAM e una memoria ROM.

Mem

20 Dire quali sono le fasi che permettono di leggere o scrivere in una memoria RAM.

Mem

21 Specificare la differenza fra memorie RAM "statiche" e "dinamiche".

Mem

22 Spiegare com'è fatta la cella elementare di una memoria RAM statica.

Mem

23 Spiegare com'è fatta la cella elementare di una memoria RAM dinamica.

Mem

24 Spiegare perché in alcune memorie RAM (quali?) viene effettuata l'operazione di "refresh" e in che cosa consiste.

Mem

25 Dire quali sono le memorie a sola lettura e le loro caratteristiche.

Mem

26 Spiegare com'è fatta la matrice di memoria di una ROM.

Mem

27 Spiegare com'è possibile realizzare una memoria ROM tramite una rete combinatoria (fare un esempio).

Mem

28 Spiegare com'è fatta la cella elementare di una memoria PROM.

Mem

29 Spiegare quali sono le memorie EPROM e la differenza con le EEPROM

Mem

30 Spiegare quali sono le alternative per lavorare in una memoria a lettura/scrittura senza perdere le informazioni quando si toglie l'alimentazione.

Mem

31 Spiegare quali sono le possibilità per connettere più chip di memoria allo scopo di aumentarne la capacità.

Mem

32 Avendo a disposizione 4 ROM 16x8, dire quali sono le possibili espansioni e realizzarne una.

Mem

33 Avendo a disposizione 4 ROM 64x1, dire quali sono le possibili espansioni e realizzarne una.

Mem

34 Avendo a disposizione 8 ROM 4x4, dire quali sono le possibili espansioni e realizzarne una.

Mem

35 Avendo a disposizione 2 ROM 16Kx8, dire quali sono le possibili espansioni e realizzarne una.

Mem

36 Avendo a disposizione 8 ROM 64x2, dire quali sono le possibili espansioni e realizzarne una.

Mem

37 Avendo a disposizione 4 ROM 16Kx1, dire quali sono le possibili espansioni e realizzarne una.

Mem

38 Avendo a disposizione 4 ROM 16x16, dire quali sono le possibili espansioni e realizzarne una.

Mem

39 Avendo a disposizione 8 ROM 2x16, dire quali sono le possibili espansioni e realizzarne una.

Mem

40 Avendo a disposizione 2 ROM 16x8, collegarle "bit" e fare in modo che la prima cella abbia indirizzo 64 ($A_8 \% A_0$).

Mem

41 Avendo a disposizione 1 ROM 64x4 fare in modo che la prima cella abbia indirizzo 512 ($A_{11} \% A_0$).

Mem

42 Avendo a disposizione 2 ROM 16x8, collegarle "per celle" e fare in modo che la prima cella abbia indirizzo 64 ($A_6 \% A_0$).

Mem

43 Avendo a disposizione 1 ROM 16Kx8, fare in modo che la prima cella abbia indirizzo 32K ($A_{15} \% A_0$).

Mem

44 Avendo a disposizione un registro di 8 bit, fare in modo abbia indirizzo AB2Ch ($A_{15} \% A_0$).

Mem

45 Avendo a disposizione un registro di 8 bit, fare in modo abbia indirizzo 22AAh ($A_{15} \% A_0$).

Mem

46 Dire quali sono vari tipi di registri a scorrimento.

Mem

47 Dire come si può realizzare un registro a scorrimento del tipo "PIPO" e il suo utilizzo.

Mem

48 Dire come si può realizzare un registro a scorrimento del tipo "PISO" e il suo utilizzo.

Mem

49 Dire come si può realizzare un registro a scorrimento del tipo "SIPO" e il suo utilizzo.

Mem

50 Dire come si può realizzare un registro a scorrimento del tipo "SISO" e il suo utilizzo.

Mem

51 Dato un registro SISO, dire com'è possibile fare in modo che l'informazione possa scorrere nel registro sia in avanti che indietro "a comando"

Mem

52

Mem

53

Mem

54

Mem

55

Mem

56

Mem
