

**Enrico Tombelli**  
Docente presso  
ITC "A. Volta" - Bagno a Ripoli - Firenze  
(e.tombelli@libero.it)

# Reti Sequenziali

## RETI SEQUENZIALI



Le reti logiche sequenziali, a differenza delle reti combinatorie hanno memoria. Ciò significa che il loro comportamento dipende anche dalla storia passata del sistema. Pertanto l'uscita, oltre che essere funzione del valore attuale dell'ingresso, è determinata anche da quelli assunti in precedenza. La memoria della rete ha il compito di memorizzare lo STATO del sistema. Quest'ultimo è l'informazione che rappresenta la "storia", ovvero la situazione prodotta dalla sequenza di valori di ingresso. La quantità di informazione memorizzata nella rete<sup>1</sup> determina il numero di valori della sequenza di ingresso che agisce sull'uscita. Più grande (CAPACE) è la memoria della rete, maggiore è l'influenza dei valori passati sull'uscita.

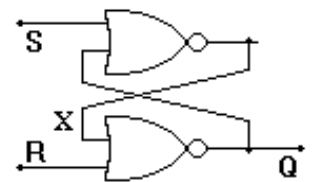
### FLIP-FLOP

Il flip-flop (F-F) è la rete sequenziale più semplice ed è capace di memorizzare al massimo un bit di informazione. Disponendo di più F-F si possono comporre reti capaci di memorizzare grandi quantità di dati.

Si possono realizzare vari tipi di F-F con caratteristiche diverse.

#### F-F SET/RESET

Il F-F Set/Reset è una rete nella quale il segnale di uscita è riportato in ingresso<sup>2</sup>. L'uscita (Q), interagendo col sistema crea un'indeterminazione del valore suo futuro. Per capire quello che succede è necessario fare delle ipotesi preliminari. In ogni caso le combinazioni di ingresso sono le seguenti quattro:



Flip Flop Set/Reset

- 1) **SET=0, RESET=1 (Combinazione di Reset).** => Essendo R=1, l'uscita della porta NOR in basso è zero, qualunque sia il valore dell'altro ingresso (NB: 1 or X = 1: negato =>0). L'uscita "Q" è quindi ZERO.
- 2) **SET=1, RESET=0 (Combinazione di Set).** => Essendo S=1, l'uscita della porta NOR in alto è zero, qualunque sia il valore dell'altro ingresso (NB: 1 or X = 1: negato =>0). L'ingresso accanto al Reset (R) è quindi zero, che sommato al reset stesso da uno in uscita. Quest'ultima vale pertanto Q=1.
- 3) **SET=0, RESET=0 (Combinazione di Set).** Le situazioni di ingresso 1) e 2), in effetti sono ben determinate in quanto è precisamente specificata l'uscita "Q". Queste combinazioni servono per portare a ZERO (reset) o a UNO (set) l'uscita "Q" della rete. Alla combinazione S=R=0 non è associato un valore di uscita altrettanto determinato, in quanto è possibile la coesistenza dell'uscita sia a zero sia ad uno. E' necessario pertanto procedere a formulare una ipotesi di configurazione dell'uscita e verificarne successivamente la consistenza.

a)  $Q = 0 \Rightarrow X = \overline{S + Q} = \overline{0 + 0} = \overline{0} = 1 \Rightarrow Q = \overline{X + R} = \overline{0 + 1} = \overline{1} = 0$ . Ciò significa che l'uscita  $Q=0$  si autosostiene a livello basso e che quindi  $Q=0$  è una situazione STABILE.

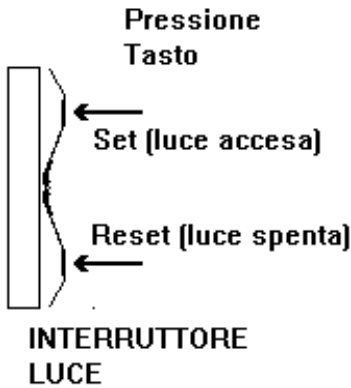
b)  $Q = 1 \Rightarrow X = \overline{S + Q} = \overline{0 + 1} = \overline{1} = 0 \Rightarrow Q = \overline{X + R} = \overline{0 + 0} = \overline{0} = 1$ .

<sup>1</sup> La quantità di informazione è misurata in BIT (binary digit).

<sup>2</sup> Il fatto di riportare in ingresso il valore dell'uscita è proprio una peculiarità delle reti sequenziali. Questa tecnica è detta "CONTROREAZIONE" o "RETROAZIONE".

Ciò significa che anche l'uscita  $Q=1$  si autosostiene a livello alto e che quindi anche  $Q=1$  è una situazione STABILE.

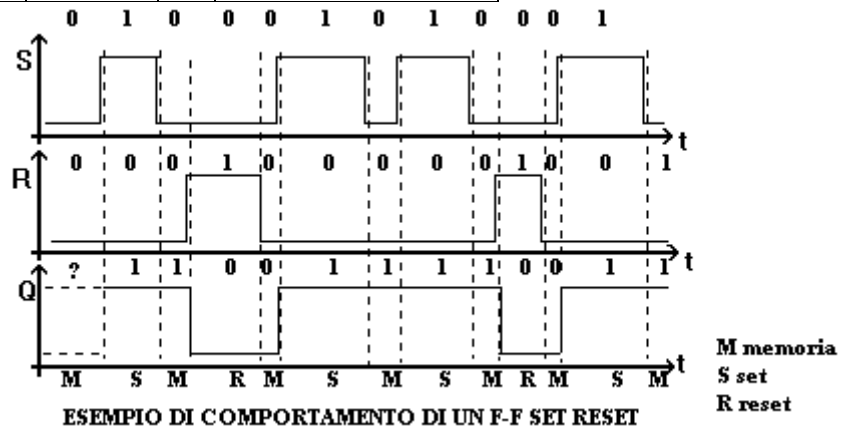
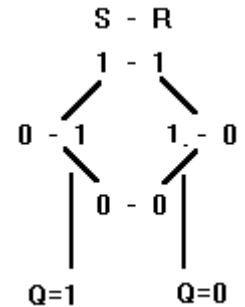
Questi due ultimi fatti ci fanno intuire che l'uscita può assumere sia il valore alto che basso e che la stabilità dei due valori comporta il mantenimento dello stato di uscita. Il valore di quest'ultima dipende quindi dal valore assunto in precedenza che a sua volta è determinato dall'ultima configurazione di ingresso diversa da 0/0. Questo comportamento identifica proprio la caratteristica "mnemonica" della rete. La situazione di  $R=S=0$  è detta di "MEMORIA".



Il F-F SET/RESET si comporta come un interruttore della luce.

RICAPITOLANDO:

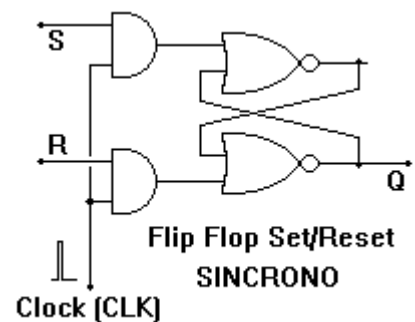
SET	RESET	Q	SITUAZIONE
0	0	Q	memoria
0	1	0	Reset
1	0	1	Set



**SET=1, RESET=1 (Combinazione NON AMMESSA).** Questa combinazione non è ammessa in quanto provoca indeterminazione dello stato futuro. Infatti nel momento in cui si ritorna nella situazione 0-0 si passa da una fase intermedia che non è determinata.

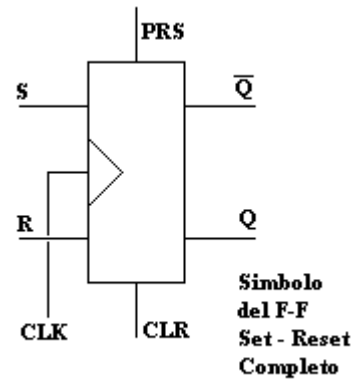
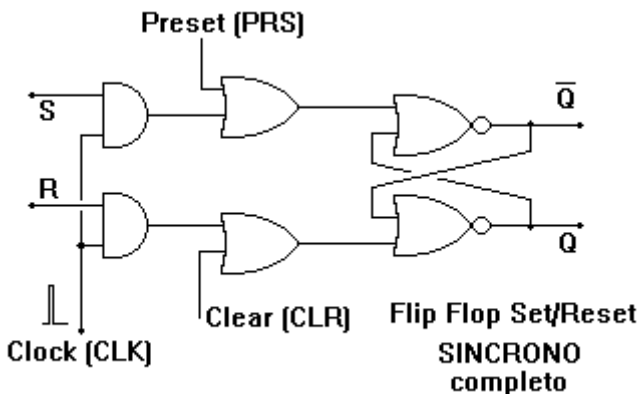
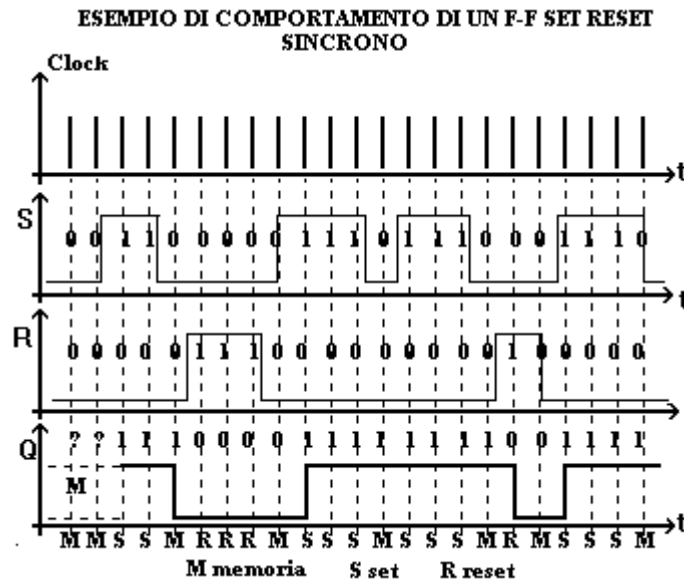
**F-F SET/RESET SINCRONO**

Il circuito del F-F Set/Reset viene corredato di una rete aggiuntiva che "FILTRA" gli ingressi Set e Reset in modo tale che essi hanno effetto solo quando un terzo ingresso detto CLOCK (CLK) è a livello alto ( $CLK=1$ )<sup>3</sup>. Nel caso contrario il F-F si trova in stato di memoria. Lo scopo del nuovo ingresso è quello di definire con precisione l'istante di commutazione del F-F. Infatti il segnale di clock è di tipo impulsivo (sequenza di impulsi) e l'uscita varia solo nel momento di arrivo dell'impulso, in quanto la rete diventa



<sup>3</sup> Notare che la porta AND può fornire uno in uscita solo se entrambi gli ingressi sono alti. Basta che uno solo dei due ingressi sia zero che l'uscita è zero.

sensibile agli ingressi Set e Reset solo durante la permanenza del clock a livello alto<sup>4</sup>.



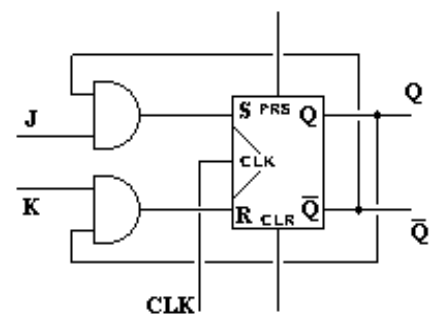
Per rendere più versatile il funzionamento del F-F vengono aggiunti anche i due ingressi originali tramite porte OR. Questi ingressi aggiuntivi sono detti "INGRESSI ASINCRONI" perché non dipendono dal clock.

**Flip Flop J-K (Master – Slave)**

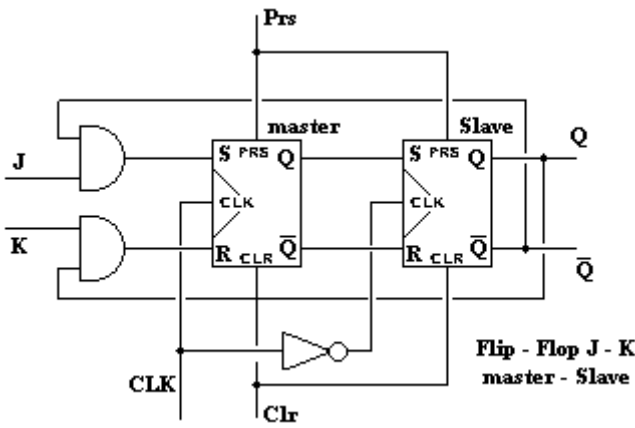
Il F-F JK ha un funzionamento identico al Set – Reset per quanto riguarda le tre combinazioni di ingresso ordinarie, ma ammette anche la combinazione di ingresso 1 – 1. Infatti per tale combinazione, si può osservare dallo schema che l'uscita comporta uno stato futuro che è la negazione di se stesso.

J	K	Q	SITUAZIONE
0	0	Q	memoria
0	1	0	Reset
1	0	1	Set
1	1	$\bar{Q}$	Toggle

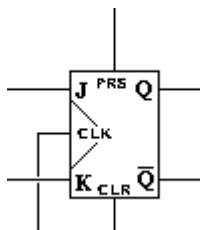
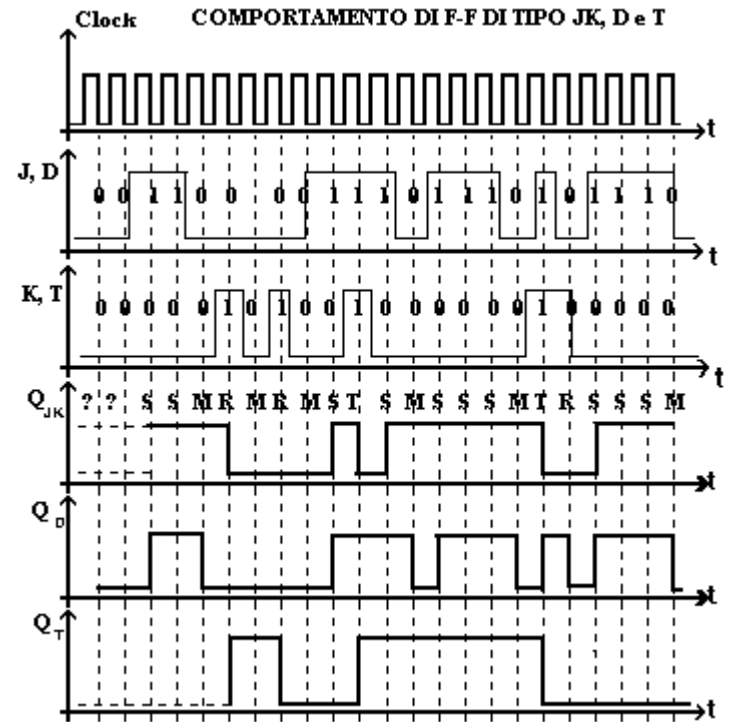
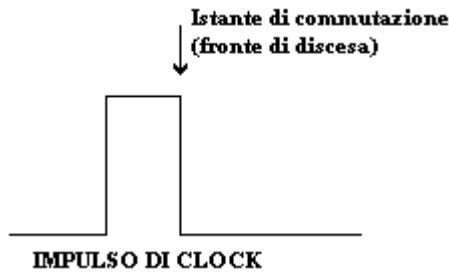
J=K=1 quindi corrisponde ad una situazione di COMMUTAZIONE (Toggle), ovvero l'uscita viene invertita.



<sup>4</sup> Si presuppone comunque che la durata di ogni impulso sia nulla o meglio istantanea.



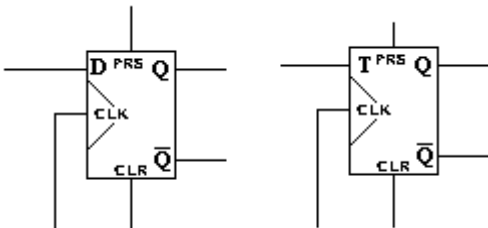
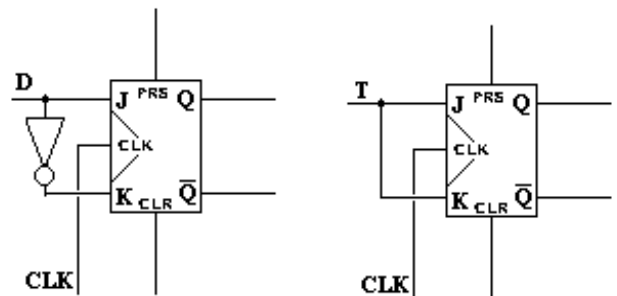
Purtroppo il circuito di cui sopra è INSTABILE , proprio perché l'impulso di clock non è istantaneo, ma ha una durata finita anche se piccola. Durante tutto il periodo in cui l'impulso è attivo, l'uscita insegue se stessa. Tale instabilità perdura finché il segnale di clock non ritorna basso facendo rimanere indefinito lo stato finale dell'uscita. Per ovviare a questo inconveniente si ricorre alla tecnica "MASTER-SLAVE" nella quale si utilizzano due F-F Set/Reset con il segnale di clock del secondo negato.



La tecnica M-S, oltre a permettere la stabilità della rete, definisce esattamente l'istante di commutazione del F-F. Infatti, il momento esatto della commutazione è il fronte di discesa dell'impulso di clock.

**Flip – Flop tipo “D” (DELAY) e di tipo “T” (TOGGLE)**

Il F-F tipo D è realizzato tramite un F-F JK nel quale i due ingressi vengono collegati tramite una negazione. Ha un solo ingresso (D) e l'uscita è esattamente uguale all'ingresso stesso nel momento in cui viene attivato l'impulso di clock.



Il F-F di tipo “T” è fatto in maniera simile. Gli ingressi sono collegati insieme, pertanto si hanno due situazioni:

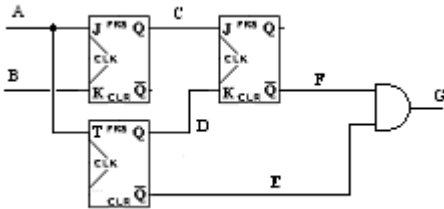
F-F tipo “D”		F-F tipo “T”	
D	Q	T	Q
0	0	0	Q

- ◆ T=0 => MEMORIA
- ◆ T=1 => TOGGLE

Per il F-F tipo “D”

- ◆ D=0 => SET
- ◆ D=1 => RESET

**ESEMPIO DI RETE COMPOSTA**



**ANALISI DI UNA RETE SEQUENZIALE**

Il fatto che una rete sequenziale abbia memoria è dovuto alla tecnica di **CONTROREAZIONE** (o **RETROAZIONE**), che consiste nel riportare in ingresso il segnale di uscita. In questo modo l’uscita viene a dipendere da se stessa oltre che dagli ingressi effettivi e quindi se la rete risulta stabile si ha un comportamento dipendente dai valori di ingresso passati.

Si deve quindi distinguere le uscite che vengono controreazionate da quelle non retroazionate. Le prime formano lo **STATO** (Q e Q’) e di conseguenza caratterizzano la memoria, mentre le seconde sono le uscite vere e proprie (Y).

Si può osservare che è necessario distinguere lo stato in “Uscita” che è detto **STATO FUTURO** (“Q’”) da quello in ingresso che è lo **STATO PRESENTE** (“Q”). Lo stato futuro dipende da quello presente e dall’ingresso vero e proprio (“X”), mentre lo stato presente è solo una traslazione temporale di quello futuro.

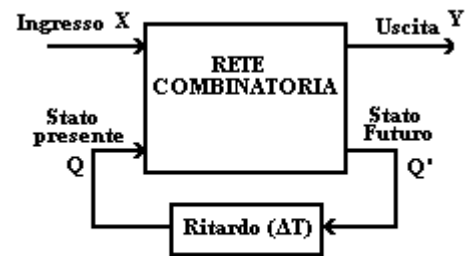
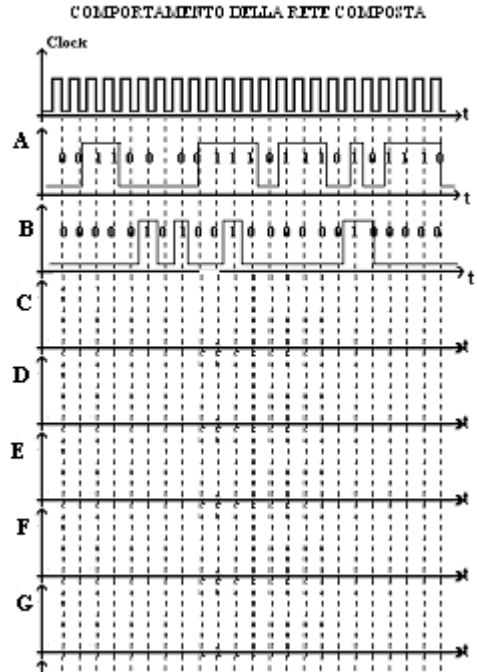
$$Q'(t)=Q[t+\Delta T]$$

Una variazione dello stato presente provoca una eventuale variazione dello stato futuro, il quale dopo un intervallo di tempo  $\Delta T$  diventa stato presente. Quest’ultimo a sua volta influisce sullo stato futuro e così di seguito finché presente e futuro non diventano uguali. Quando lo stato futuro è uguale allo stato presente si ha stabilità e il sistema si assesta su di un valore di uscita. Se invece tale situazione non è raggiungibile la rete è **INSTABILE** e oscilla continuamente.

**IDENTIFICAZIONE DEL FUNZIONAMENTO DI UNA RETE SEQUENZIALE**

Il funzionamento di una rete sequenziale può essere identificato da uno dei tre strumenti logici:

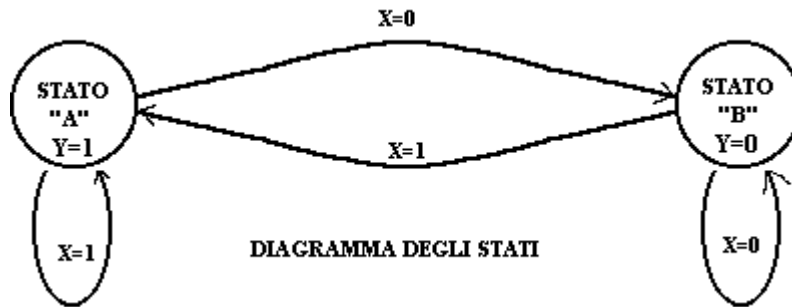
1- EQUAZIONI DI STATO  $Q'=Q'(Q, X)$  e di USCITA  $Y=Y(Q, X)$



SCHEMA DI UNA RETE SEQUENZIALE

P.e..  $Q' = Y = X$

2- DIAGRAMMA DEGLI STATI



3- MATRICE DI TRANSIZIONE DELLO STATO

STATO PRESENTE Q	X=0	X=1	USCITA Y
A	B	A	1
B	B	A	0

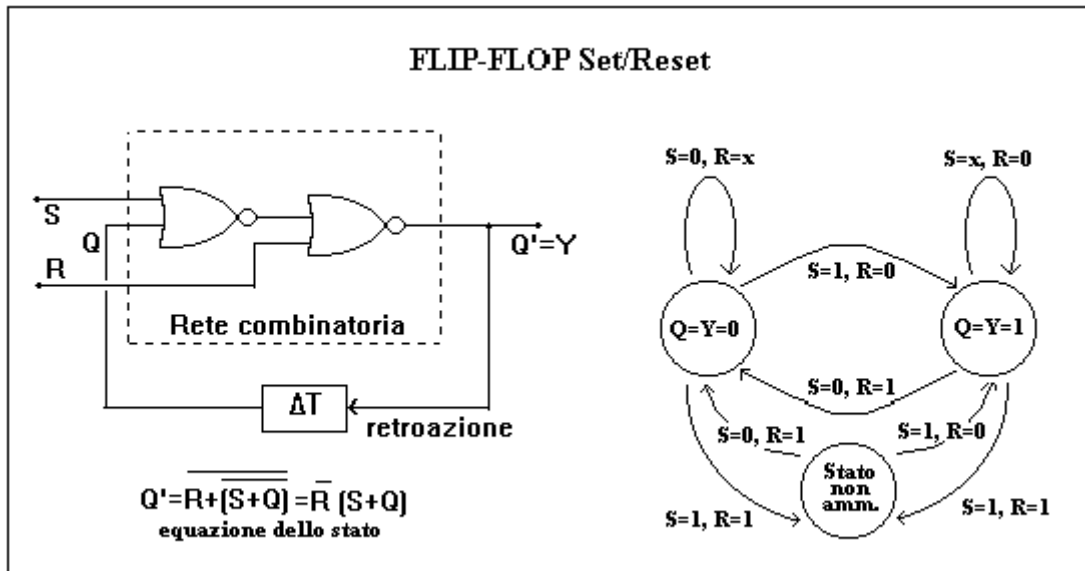
I tre strumenti analitici descrivono lo stesso comportamento. Infatti se si parte dallo stato “A”, applicando l’ingresso X=0 si passa allo stato “B”, mentre applicando l’ingresso X=1 si rimane nello stato “A”. Similmente, se si suppone che lo stato sia “B” e si applica l’ingresso X=0 si rimane nello stato “B”, mentre l’ingresso X=1 permette il passaggio allo stato “A”. Si può notare che allo stato “A” è associata l’uscita Y=1, mentre allo stato “B” è associata l’uscita Y=0.

**STUDIO DEL FUNZIONAMENTO DI UN F-F COME RETE SEQUENZIALE**

FLIP-FLOP SET/RESET

La matrice di transizione dello stato di un F-F set/reset è la seguente:

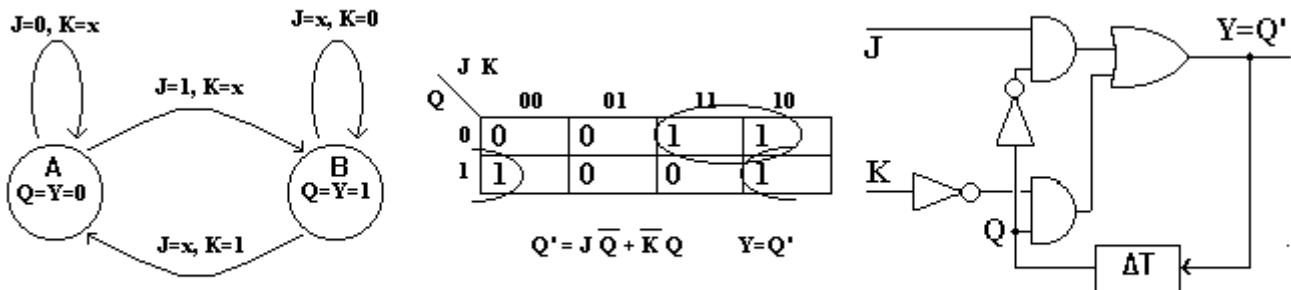
STATO PRESENTE Q	S=0, R=0 Memoria	S=1, R=0 Set	S=0, R=1 Reset	S=1, R=1 Stato non Ammesso
A (Q=Y=0)	A (Q=Y=0)	B (Q=Y=1)	A (Q=Y=0)	N.A.
B (Q=Y=1)	B (Q=Y=1)	B (Q=Y=1)	A (Q=Y=0)	N.A.
STATO NON AMMESSO	x	B (Q=Y=1)	A (Q=Y=0)	N.A.



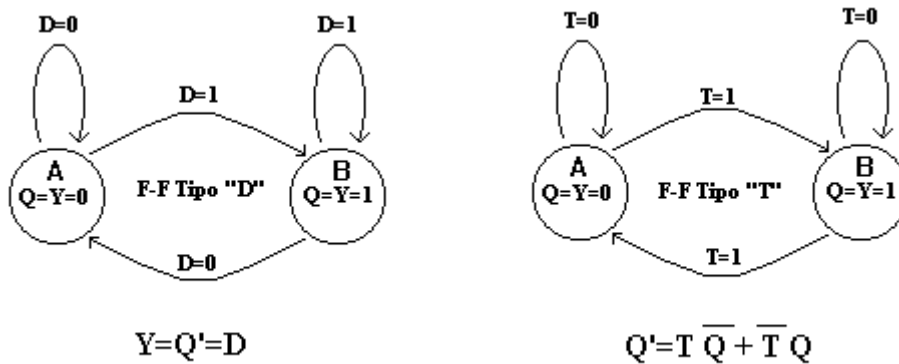
Il diagramma degli stati e le equazioni di stato e di uscita sono riportate di seguito.

**FLIP-FLOP J-K**

STATO PRESENTE Q	J=0, K=0 Memoria	J=1, K=0 Set	J=0, K=1 Reset	J=1, K=1 Toggle
A (Q=Y=0)	A (Q=Y=0)	B (Q=Y=1)	A (Q=Y=0)	B (Q=Y=1)
B (Q=Y=1)	B (Q=Y=1)	B (Q=Y=1)	A (Q=Y=0)	A (Q=Y=0)



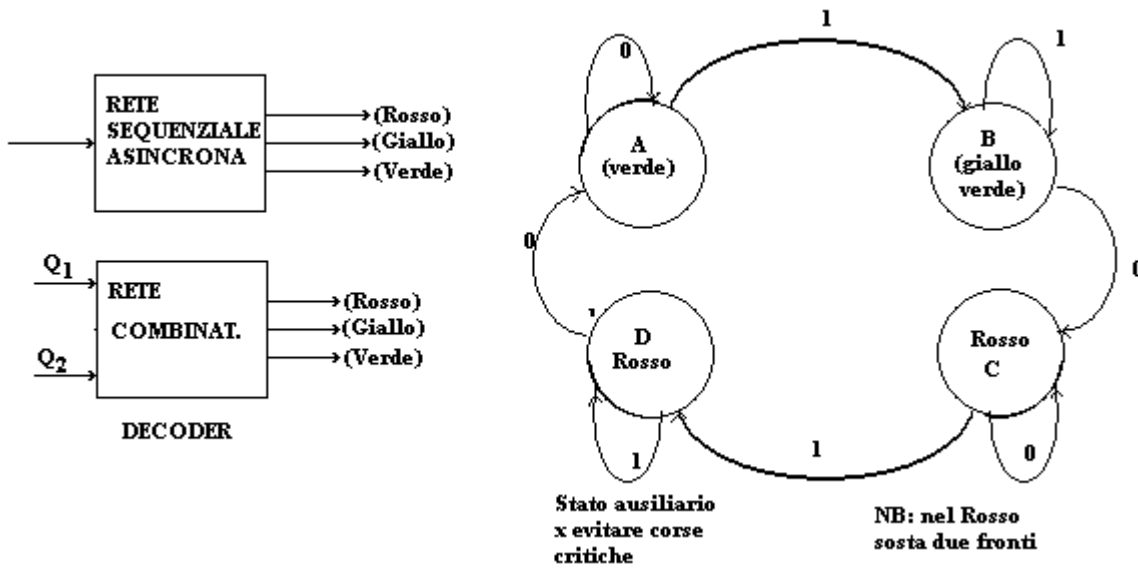
**FLIP-FLOP J-K ASINCRONO (instabile)**



F-F tipo D e T

**PROGETTO DI UN SEMAFORO COME RETE SEQUENZIALE ASINCRONA**

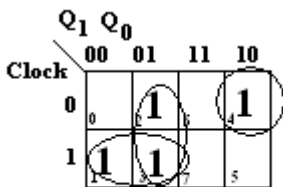




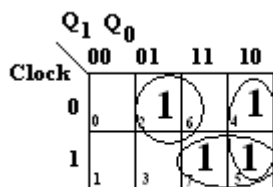
Stato Presente	Codifica Stato	INGRESSO	
		0	1
A	0 0	A <sub>00</sub>	B <sub>01</sub>
B	0 1	C <sub>11</sub>	B <sub>01</sub>
C	1 1	C <sub>11</sub>	D <sub>10</sub>
D	1 0	A <sub>00</sub>	D <sub>10</sub>

Matrice i transizione dello stato

Stato Presente Q <sub>1</sub> Q <sub>0</sub>	Clock	Stato Futuro	
		Q <sub>1</sub>	Q <sub>0</sub>
A 0 0	0	A	0 0
	1	B	0 1
B 0 1	0	C	1 1
	1	B	0 1
C 1 1	0	C	1 1
	1	D	1 0
D 1 0	0	A	0 0
	1	D	1 0



$$Q_0 = Q_1 \overline{Q_0} \overline{C_k} + \overline{Q_1} Q_0 + \overline{Q_1} C_k$$



$$Q_1 = \overline{Q_1} Q_0 \overline{C_k} + Q_1 \overline{Q_0} + Q_1 C_k$$

$$\begin{cases} R = Q_1 \\ G = \overline{Q_1} Q_0 \\ V = \overline{Q_1} \end{cases}$$

Tabella del decoder		
Stato		R G V
Q <sub>1</sub>	Q <sub>0</sub>	
A	0 0	0 0 1
B	0 1	0 1 1
C	1 1	1 0 0
D	1 0	1 0 0

**CONTATORI**

Sono dei dispositivi capaci di memorizzare il numero di impulsi in ingresso e di presentarne in uscita il valore sottoforma di numero binario.

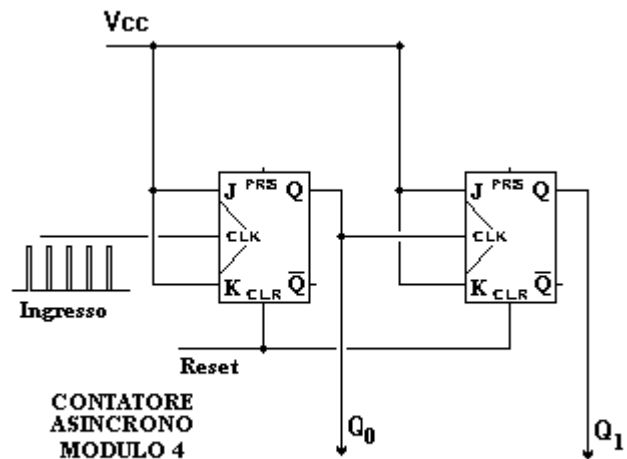
MODULO: Numero di stati diversi che il contatore può assumere.

**CONTATORI ASINCRONI**

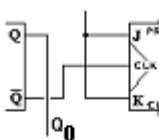
Il numero dei F-F definisce il modulo

MODULO =  $2^n$  (n = N° F-F)

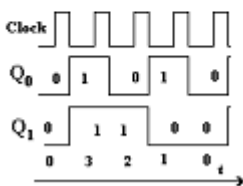
Nel circuito sono presenti 2 F-F => modulo = 4  
 Dal circuito si osserva che l'uscita di ogni F-F pilota il clock del F-F successivo. Il primo F-F ha come clock la sequenza di impulsi di ingresso.



contatore all'indietro

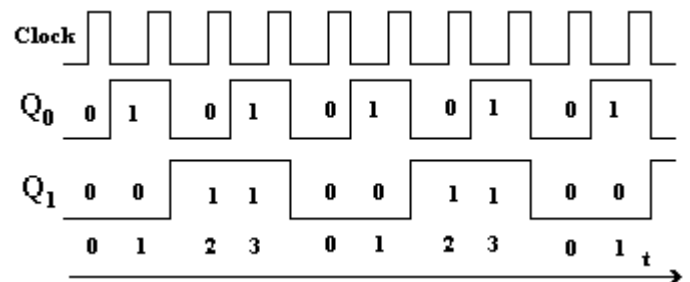


Il secondo FF commuta sui fronti di salita di Q<sub>0</sub>

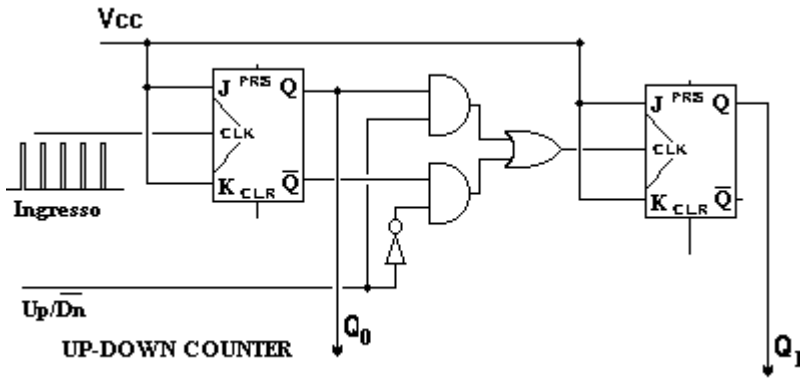


Se invece di collegare al clock l'uscita Q si collega l'uscita negata si ottiene il conteggio all'indietro.

UP-DOWN COUNTER



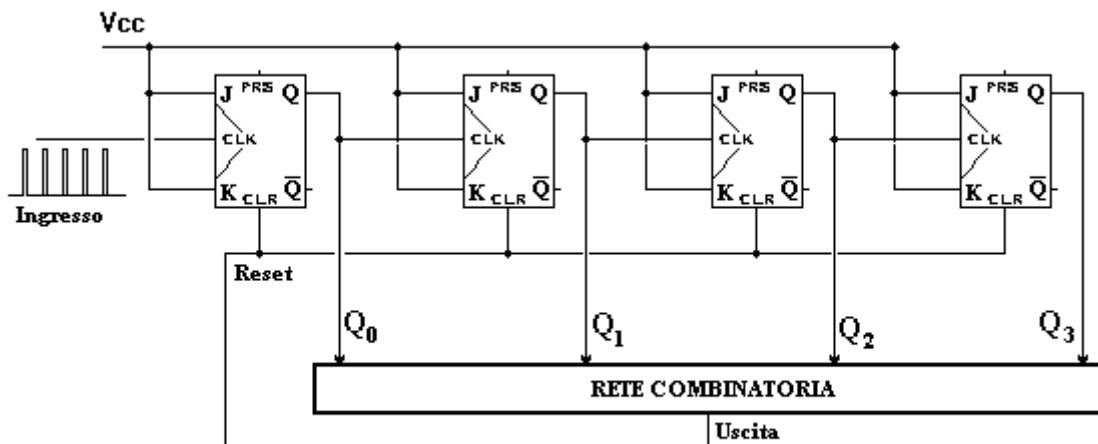
L'Up/Dn counter dispone di un pin di ingresso tramite il quale è possibile stabilire se il conteggio è in avanti (Up) o all'indietro (Dn).



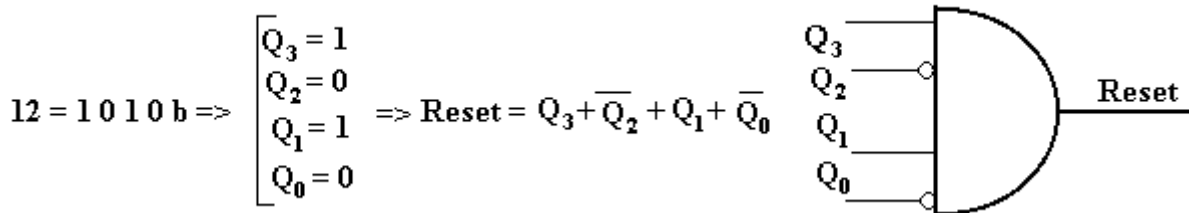
CONTATORI ASINCRONI MODULO GENERICO

Per realizzare un contatore di modulo qualsiasi, ovvero diverso da una potenza del 2, si utilizza una rete combinatoria che attiva il RESET (clear) di tutti i F-F quando viene raggiunto il valore di conteggio superiore.

Per esempio, per realizzare un contatore asincrono modulo “12”, si può utilizzare la rete combinatoria di figura.



Contatore asincrono modulo qualsiasi (<16)



Il segnale di reset che agisce sugli ingressi di “clear” di ogni F-F, viene attivato (=1) solo per la configurazione del conteggio uguale al valore binario “12”.

Nell’esempio risulta che il valore “12” viene raggiunto solo per un istante, prima che la rete si azzeri.

Problema del GLITCH: Le uscite Q che sono alte nel momento del reset presentano un andamento

impulsivo che può disturbare i circuiti a valle. E' necessario prevedere allora alcuni accorgimenti atti a risolvere questo problema.<sup>5</sup>

**CONTATORI SINCRONI**

I contatori ASINCRONI, precedentemente visti, sono più lenti a causa del fatto che i F-F commutano "in cascata". La commutazione parte dal primo F-F e si "propaga" fino all'ultimo F-F perché il clock di ogni F-F è attivato dall'uscita del F-F precedente. Il tempo di ritardo, introdotto da ogni F-F, deve essere quindi moltiplicato per il numero di F-F presenti nel contatore.

Si può ovviare a questo problema, e accelerare il conteggio facendo in modo che la commutazione di tutti i F-F sia simultanea. Per questo il clock arriva contemporaneamente a tutti i F-F i quali commutano in base alla configurazione globale precedente. Il tempo di commutazione del contatore è quindi indipendente dal numero di F-F, ma è praticamente quello del F-F più lento.

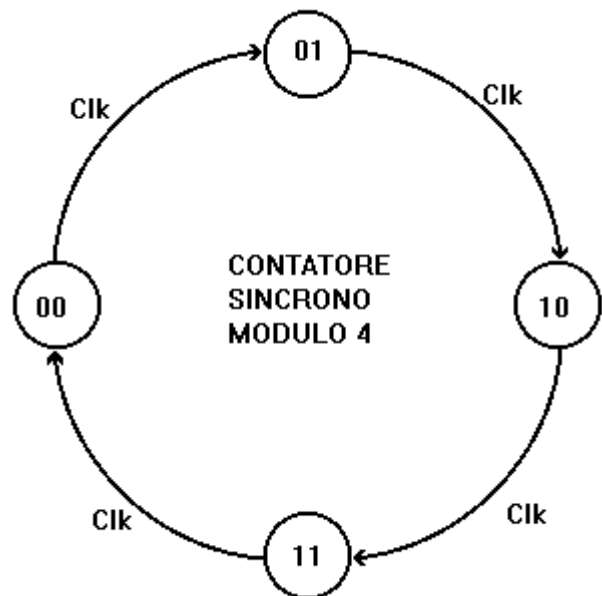
CONTATORE SINCRONO MODULO 4

TABELLA DI FLUSSO

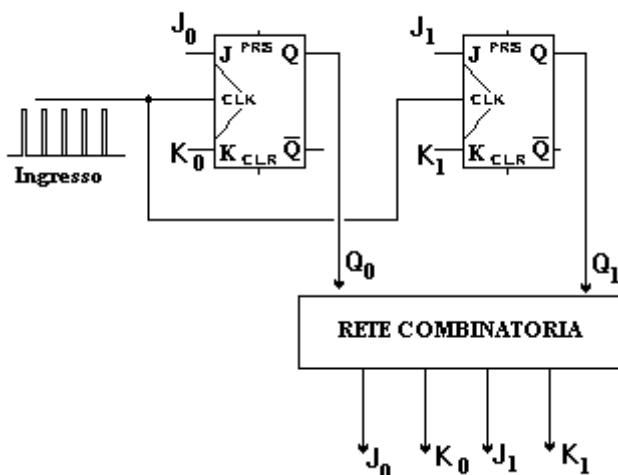
La seguente tabella definisce per ogni stato quale dovrà essere lo stato futuro, ovvero quali sono le uscite che dovranno commutare.

P.e.: se lo stato è "00", dovrà commutare solo Q<sub>0</sub> in modo che l'uscita successiva sia "01"

STATO PRESENTE		STATO FUTURO	
Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>1</sub> '	Q <sub>0</sub> '
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0



CONTATORE SINCRONO MODULO 4



E' possibile realizzare il contatore utilizzando due F-F J-K e una rete combinatoria che fornisce gli ingressi da applicare al contatore in modo tale che lo stato futuro sia quello successivo.

Per questo scopo è necessario progettare opportunamente la rete combinatoria che fornisce gli ingressi "giusti" ai due F-F.

Il progetto si realizza tenendo conto delle equazioni di stato di F-F di tipo JK e di conseguenza delle commutazioni che devono avvenire in essi. Non ci

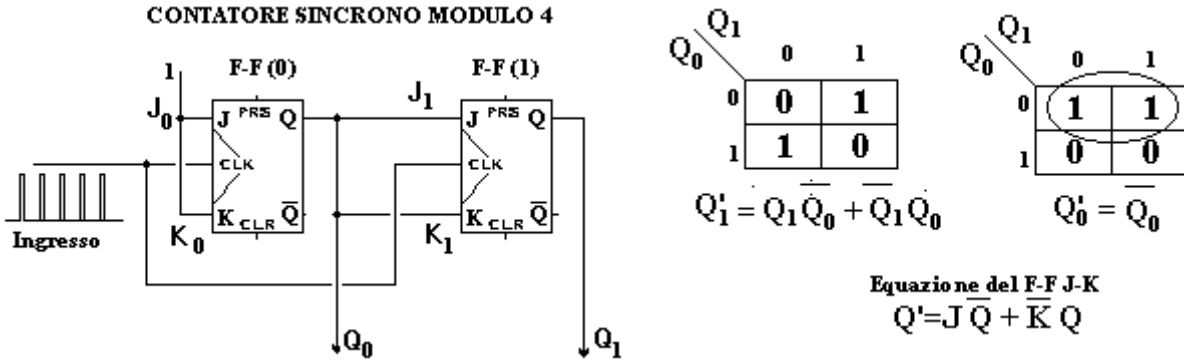
<sup>5</sup> Ogni uscita è collegata a massa con un condensatore in modo da scaricare a terra eventuali forme impulsive.

sono ingressi al contatore (eccettuato il clock che non partecipa al progetto della rete combinatoria) quindi

$$Q_1' = Q_1'(Q_1), \quad Q_0' = Q_0'(Q_0)$$

Dalla tabella di flusso si ottengono le due mappe di K.

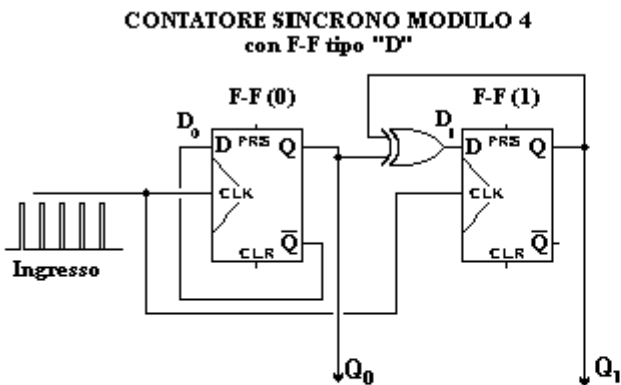
Confrontando con le equazioni di stato dei F-F J-K si osserva che lo scopo è ottenuto per:



- F-F(1):**     $J_1 = K_1 = Q_0$
- F-F(0):**     $J_0 = K_0 = 1$

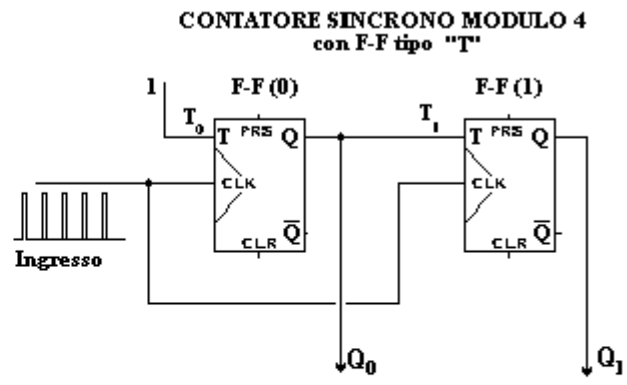
CONTATORE SINCRONO MODULO 4 CON F-F "D" e "T"

Il contatore già visto precedentemente si può realizzare anche con F-F di tipo "D" o "T". La rete combinatoria è diversa ma il processo di sviluppo è lo stesso. Si deve confrontare le equazioni di stato del



**Equazione di stato F-F tipo "D"  $Q'=D$**

Dato che  $Q_1' = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0$        $Q_0' = \bar{Q}_0$        $\implies$        $D_1 = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0$   
 $D_0 = Q_0' = \bar{Q}_0$

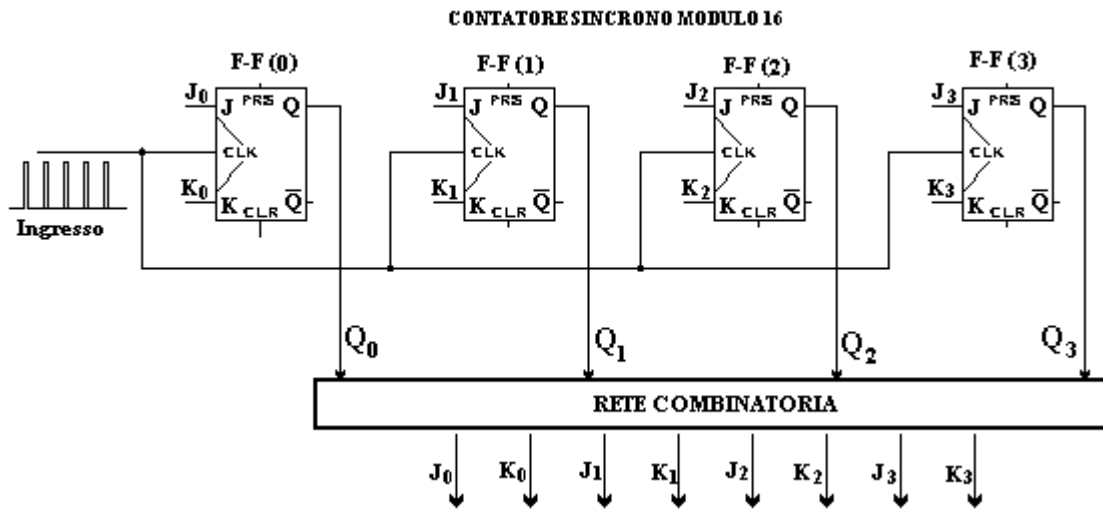


**Equazione di stato F-F tipo "T"  $Q' = T \bar{Q} + \bar{T} Q$**

Dato che  $Q_1' = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0$        $Q_0' = \bar{Q}_0$        $\implies$        $T_1 = Q_0$   
 $T_0 = 1$

contatore con quella del F-F di tipo "D" e "T" rispettivamente.

CONTATORE SINCRONO MODULO 16



**PROGETTO DELLA RETE COMBINATORIA**

Essendoci 4 F-F si possono ottenere 16 stati, ovvero 16 combinazioni di uscita tutte diverse secondo la tabella sotto descritta. Le combinazioni sono riportate in tabella nell'ordine sequenziale dell'uscita (alla combinazione 0011 segue la combinazione 0100). Affinché ogni F-F commuti correttamente è necessario che la rete combinatoria fornisca gli ingressi (J-K) opportuni in base alla combinazione delle uscite "Q".

I valori che le variabili J e K devono assumere sono ricavati in base alla equazione dei F-F JK, o più semplicemente dalle seguenti considerazioni sulla commutazione dell'uscita:

Transizione dell'uscita	J	K
Stato presente: 0	0	x reset/memoria
Stato futuro: 0		
Stato presente: 0	1	x set/toggle
Stato futuro: 1		
Stato presente: 1	x reset/toggle	1
Stato futuro: 0		
Stato presente: 1	x set/memoria	0
Stato futuro: 1		

**TABELLA DI VERITA' DELLA RETE COMMUTATORIA RELATIVA AL CONTATORE SINCRONO MODULO 16**

N	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	J <sub>3</sub>	K <sub>3</sub>	J <sub>2</sub>	K <sub>2</sub>	J <sub>1</sub>	K <sub>1</sub>	J <sub>0</sub>	K <sub>0</sub>
0	0	0	0	0	0	X	0	X	0	X	1	X
1	0	0	0	1	0	X	0	X	1	X	X	1
2	0	0	1	0	0	X	0	X	X	0	1	X
3	0	0	1	1	0	X	1	X	X	1	X	1
4	0	1	0	0	0	X	X	0	0	X	1	X
5	0	1	0	1	0	X	X	0	1	X	X	1
6	0	1	1	0	0	X	X	0	X	0	1	X
7	0	1	1	1	1	X	X	1	X	1	X	1
8	1	0	0	0	X	0	0	X	0	X	1	X
9	1	0	0	1	X	0	0	X	1	X	X	1
A	1	0	1	0	X	0	0	X	X	0	1	X
B	1	0	1	1	X	0	1	X	X	1	X	1
C	1	1	0	0	X	0	X	0	0	X	1	X
D	1	1	0	1	X	0	X	0	1	X	X	1
E	1	1	1	0	X	0	X	0	X	0	1	X
F	1	1	1	1	X	1	X	1	X	1	X	1

NB: le "X" denotano le condizioni di indifferenza

Ciò spiega i valori associati alle variabili J e K nella tabella della verità della rete combinatoria da realizzare. Si ottengono così 8 Mappe di K, dalle quali si ricavano le funzioni e di conseguenza i circuiti che formano la rete combinatoria (vedi esercizio N.12).<sup>6</sup>

<sup>6</sup> Allo studente il compito di scrivere le M.di K, svolgere il calcolo delle funzioni nonché il disegno dei circuiti.

E' possibile utilizzare anche F-F di tipo diverso, come "S-R", "T" o "D". Il sistema di progetto è identico a quello precedente, ma cambiano le funzioni che si ottengono per la rete combinatoria.

Transizione uscita	S	R	D	T
Stato presente: 0	0	x (Reset/Mem.)	0 (Reset)	0 (Memoria)
Stato futuro: 0				
Stato presente: 0	1	0 (Set)	1 (Set)	1 (Toggle)
Stato futuro: 1				
Stato presente: 1	0 (Reset)	1	0 (Reset)	1 (Toggle)
Stato futuro: 0				

Si possono realizzare contatori anche utilizzando F-F di tipo misto.

Allo stesso modo si può realizzare un contatore di modulo 10. In questo caso le combinazioni di stato dalla 10 in poi

commutano tutte e nella configurazione "0000".

TABELLA DI VERITA' DELLA RETE COMMUTATORIA RELATIVA AL CONTATORE SINCRONO MODULO 16 UTILIZZANDO F-F di tipo "S-R", "D" o "T"

N	STATO				F-F Set/Reset								F-F tipo "D"				F-F Tipo "T"			
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	S <sub>3</sub>	R <sub>3</sub>	S <sub>2</sub>	R <sub>2</sub>	S <sub>1</sub>	R <sub>1</sub>	S <sub>0</sub>	R <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	T <sub>3</sub>	T <sub>2</sub>	T <sub>1</sub>	T <sub>0</sub>
0	0	0	0	0	0	X	0	X	0	X	1	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	X	0	X	1	0	0	1	0	0	1	0	0	0	1	1
2	0	0	1	0	0	X	0	X	X	0	1	0	0	0	1	1	0	0	0	1
3	0	0	1	1	0	X	1	0	0	1	0	1	0	1	0	0	0	1	1	1
4	0	1	0	0	0	X	X	0	0	X	1	0	0	1	0	1	0	0	0	1
5	0	1	0	1	0	X	X	0	1	0	0	1	0	1	1	0	0	0	1	1
6	0	1	1	0	0	X	X	0	X	0	1	0	0	1	1	1	0	0	0	1
7	0	1	1	1	1	0	0	1	0	1	0	1	1	0	0	0	1	1	1	1
8	1	0	0	0	X	0	0	X	0	X	1	0	1	0	0	1	0	0	0	1
9	1	0	0	1	X	0	0	X	1	0	0	1	1	0	1	0	0	0	1	1
A	1	0	1	0	X	0	0	X	X	0	1	0	1	0	1	1	0	0	0	1
B	1	0	1	1	X	0	1	0	0	1	0	1	1	1	0	0	0	1	1	1
C	1	1	0	0	X	0	X	0	0	X	1	0	1	1	0	1	0	0	0	1
D	1	1	0	1	X	0	X	0	1	0	0	1	1	1	1	0	0	0	1	1
E	1	1	1	0	X	0	X	0	X	0	1	0	1	1	1	1	0	0	0	1
F	1	1	1	1	0	1	0	1	0	1	0	1	0	0	0	0	1	1	1	1

Si può realizzare qualunque rete sequenziale applicando lo stesso principio.

TABELLA DI VERITA' DELLA RETE COMMUTATORIA RELATIVA AL CONTATORE SINCRONO MODULO 10 (conta da 0 => 9)

N	STATO				F-F di tipo "J-J"								F-F di tipo "Set/Reset"								F-F tipo "D"				F-F tipo "T"					
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	J <sub>3</sub>	K <sub>3</sub>	J <sub>2</sub>	K <sub>2</sub>	J <sub>1</sub>	K <sub>1</sub>	J <sub>0</sub>	K <sub>0</sub>	S <sub>3</sub>	R <sub>3</sub>	S <sub>2</sub>	R <sub>2</sub>	S <sub>1</sub>	R <sub>1</sub>	S <sub>0</sub>	R <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	T <sub>3</sub>	T <sub>2</sub>	T <sub>1</sub>	T <sub>0</sub>		
1	0	0	0	1	0	X	0	X	1	X	X	1	0	X	0	X	1	0	0	1	0	0	0	1	0	0	0	1	1	
2	0	0	1	0	0	X	0	X	X	0	1	X	0	X	0	X	X	0	1	0	0	0	1	1	0	0	0	0	1	
3	0	0	1	1	0	X	1	X	X	1	X	1	0	X	1	0	0	1	0	1	0	1	0	0	0	1	1	1	1	
4	0	1	0	0	0	X	X	0	0	X	1	X	0	X	X	0	0	X	1	0	0	1	0	0	1	0	0	0	1	
5	0	1	0	1	0	X	X	0	1	X	X	1	0	X	X	0	1	0	0	1	0	1	0	0	1	0	0	1	1	
6	0	1	1	0	0	X	X	0	X	0	1	X	0	X	X	0	X	0	1	0	0	1	0	0	1	0	0	0	1	
7	0	1	1	1	1	X	X	1	X	1	X	1	1	0	0	1	0	1	0	1	0	1	0	0	1	1	1	1	1	
8	1	0	0	0	X	0	0	X	0	X	1	X	X	0	0	X	0	X	1	0	0	1	0	0	0	1	0	0	0	1
9	1	0	0	1	X	1	0	X	0	X	X	1	0	1	0	X	0	1	0	1	0	1	0	0	0	0	1	0	0	1
A	1	0	1	0	X	1	0	X	X	1	0	X	0	1	0	X	0	1	0	X	0	0	0	0	0	1	0	1	0	0
B	1	0	1	1	X	1	0	X	X	1	X	1	0	1	0	X	0	1	0	1	0	0	0	0	0	1	0	1	1	1
C	1	1	0	0	X	1	X	1	0	X	0	X	0	1	0	1	0	X	0	X	0	0	0	0	0	1	1	0	0	1
D	1	1	0	1	X	1	X	1	0	X	X	1	0	1	0	1	0	X	0	1	0	0	0	0	0	1	1	0	0	1
E	1	1	1	0	X	1	X	1	X	1	0	X	0	1	0	1	0	1	0	X	0	0	0	0	0	1	1	1	1	0
F	1	1	1	1	X	1	X	1	X	1	X	1	0	1	0	1	0	1	0	1	0	0	0	0	0	1	1	1	1	1

ESEMPIO DI PROGETTO: Rivelatore della sequenza "1 1 0"

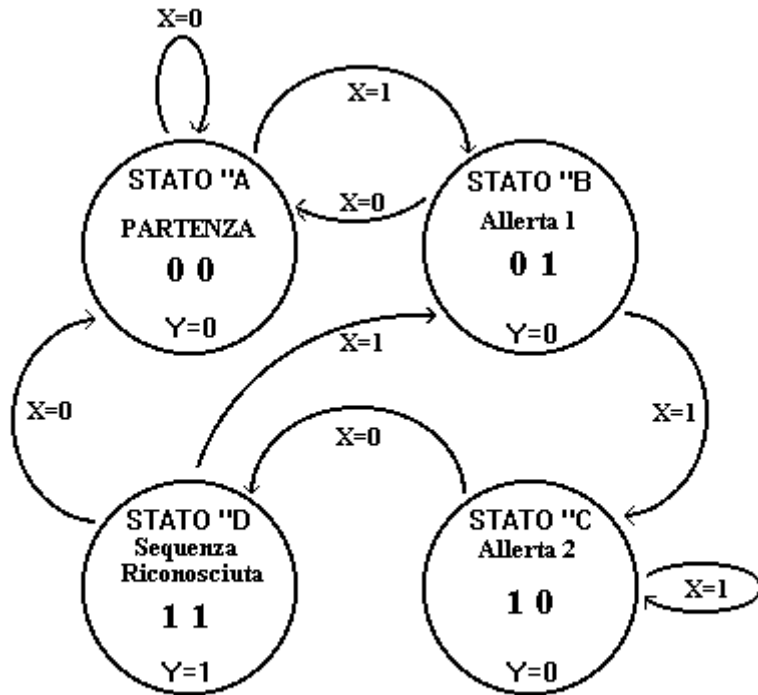


DIAGRAMMA DEGLI STATI  
RIVELATORE DELLA SEQUENZA "1 1 0"

Il problema è la realizzazione di una rete sequenziale con un ingresso "X". Il valore dell'ingresso può assumere stati alti e bassi, ma la rete prende in considerazione tali valori solo nel momento in cui è attivo l'impulso di clock. L'uscita della rete deve andare a "1" quando l'ingresso ha assunto i valori "1 1 0" in sequenza: poi torna a "0".

OSSERVAZIONI:

- ◆ Dal diagramma degli stati si evince che necessitano 4 stati. Quindi si utilizzano 2 F-F. Utilizzeremo per lo scopo 2 F-F tipo JK.
- ◆ Le combinazioni di stato non forniscono direttamente l'uscita (Y) che deve essere ricavata in base ad esse tramite una rete combinatoria di decodifica. Tale rete deve dare "1" in uscita solo per la combinazione "Q<sub>0</sub>=1, Q<sub>1</sub>=1". Pertanto è semplicemente una

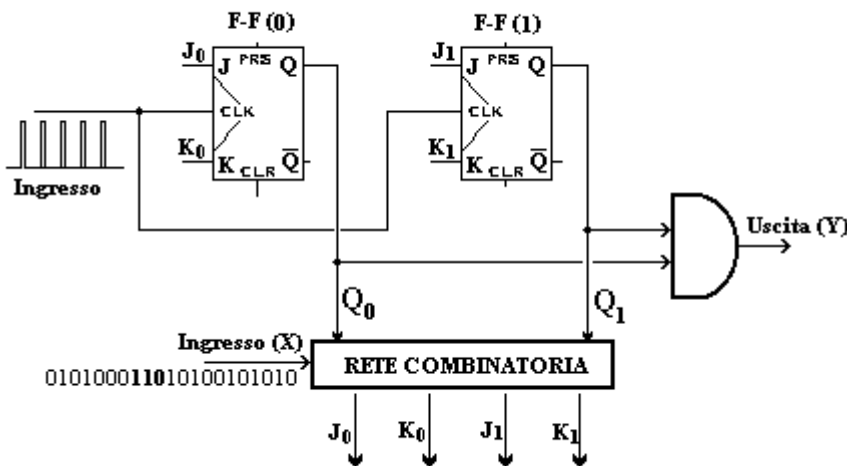
porta AND.

- ◆ L'ingresso (X) viene applicato direttamente alla rete combinatoria che fornisce gli ingressi ai F-F.

TABELLA DI TRANSIZIONE DELLO STATO:

STATO PRESENTE Q <sub>0</sub> , Q <sub>1</sub>	INGRESSO		Uscita (Y)
	X=0	X=1	
A (0, 0)	A (00)	B (01)	0
B (0, 1)	A (00)	C (10)	0
C (1, 0)	D (11)	C (10)	0
D (1, 1)	A (00)	B (01)	1

RETE SEQUENZIALE RIVELATRICE DELLA SEQUENZA "1 1 0"



Dalla tabella di transizione dello stato si ricava la tabella della verità della rete combinatoria:

	Q <sub>0</sub>	Q <sub>1</sub>	X	J <sub>0</sub>	K <sub>0</sub>	J <sub>1</sub>	K <sub>1</sub>
A	0	0	0	0	X	0	X
	0	0	1	0	X	X	1
B	0	1	0	0	X	X	1
	0	1	1	X	1	X	0
C	1	0	0	X	0	1	X
	1	0	1	X	0	0	X
D	1	1	0	X	1	X	1
	1	1	1	X	1	X	0



	$Q_0 Q_1$			
$X$	00	01	11	10
0	0	0	X	X
1	0	X	X	X

$J_0 = 0$

	$Q_0 Q_1$			
$X$	00	01	11	10
0	X	1	1	X
1	1	0	0	X

$K_1 = \overline{X} + \overline{Q_1}$

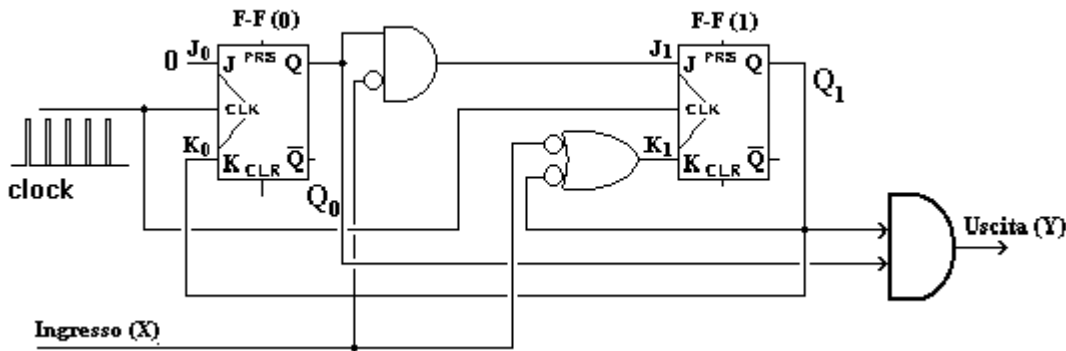
	$Q_0 Q_1$			
$X$	00	01	11	10
0	0	X	X	1
1	X	X	X	0

$J_1 = Q_0 \overline{X}$

	$Q_0 Q_1$			
$X$	00	01	11	10
0	X	X	1	0
1	X	1	1	0

$K_0 = Q_1$

RETE SEQUENZIALE RIVELATRICE DELLA SEQUENZA "1 1 0"



PROGETTO DI UN SEMAFORO COME RETE SEQUENZIALE SINCRONA

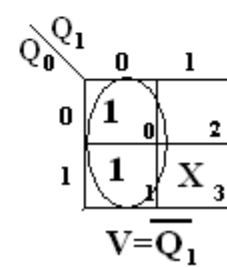
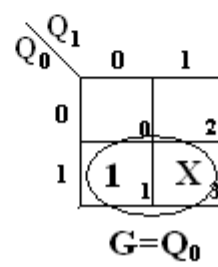
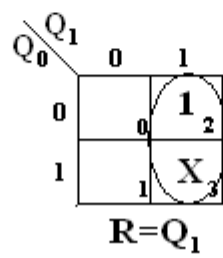
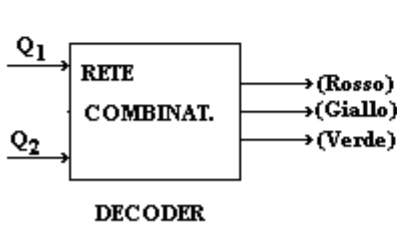
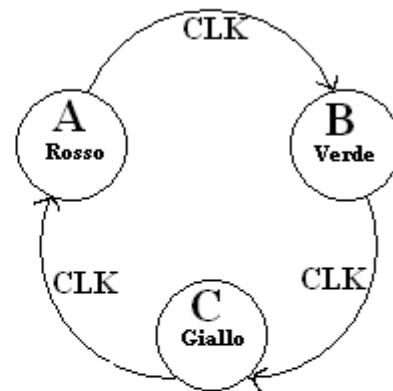
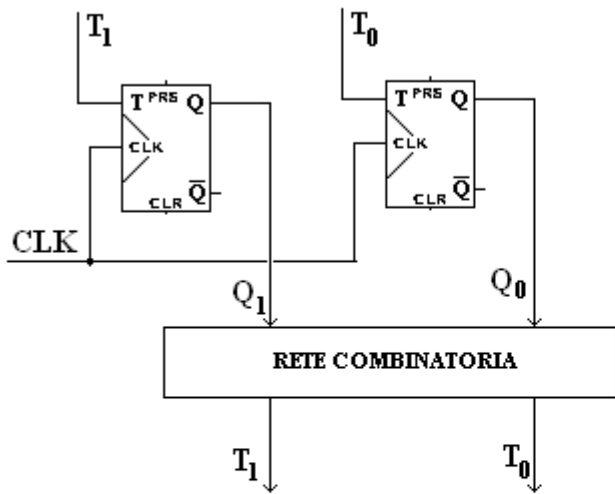
MATRICE DI TRANSIZIONE DELLO STATO

Stato	$Q_1$	$Q_0$	$T_1$	$T_0$
A	0	0	0	1
B	0	1	1	1
C	1	0	1	0
X	1	1	1	1

Tabella verità della decodifica

Stato	$Q_1$	$Q_0$	R	G	V
A	0	0	0	0	1
B	0	1	0	1	1
C	1	0	1	0	0
X	1	1	X	X	X

X= condizione di indifferenza



**ESERCIZI**

**Esercizio N. 1 (F- F set/reset asincrono)**

Dato il diagramma di figura 1, disegnare il grafico dell'uscita "Q" del F-F S/R asincrono scrivendo anche quali sono gli intervalli in cui il segnale è a "1" e quali quelli in cui il segnale è "0" (per tutti e tre i

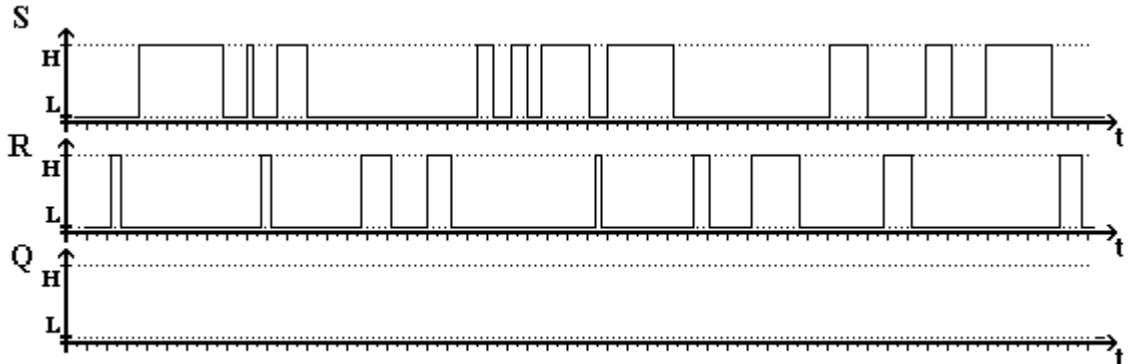


Figura 1

segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R) e indeterminati (?).

**Esercizio N. 2 (Reti asincrone)**

Analizzare il comportamento della rete asincrona di figura 10.

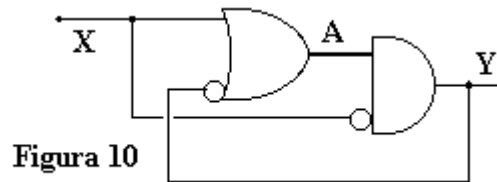


Figura 10

**Esercizio N. 3 (F- F set/reset sincrono)**

Dato il diagramma di figura 2 disegnare il grafico dell'uscita "Q" del F-F S/R sincrono scrivendo anche quali sono gli impulsi di clock in cui il segnale è a "1" e quali quelli in cui il segnale è "0" (per tutti e tre i segnali). Specificare anche quali sono gli stati di

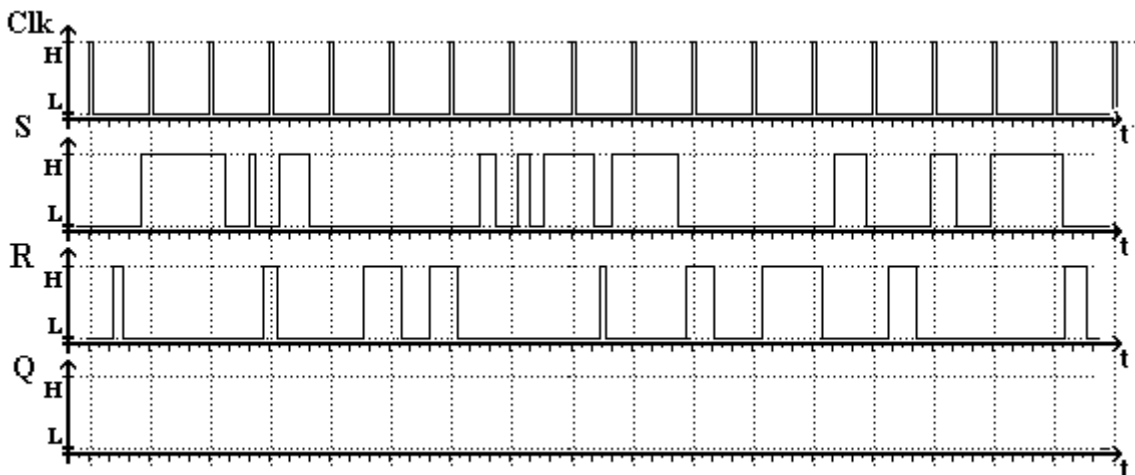


Figura 2

memoria (M), Set (S), Reset (R) e indeterminati (?).

**Esercizio N. 4 (F- F set/reset sincrono)**

Per ogni configurazione di ingresso del F-F Set/Reset sincrono specificare qual è l'uscita relativa e la situazione ad essa associata: [ Memoria (M), Set (S), Reset (R), Toggle (T) e Indeterminazione (?) ]

clock	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
SET	0	1	0	1	1	0	0	1	0	0	0	1	0	1	0	1	1	0
RESET	0	0	1	0	0	0	1	0	0	1	0	0	1	0	1	0	0	0

Q																		
Situaz.																		

**Esercizio N. 5 (F- F JK, D e T, master - slave)**

Dato il diagramma di figura 3 disegnare il grafico delle uscite “Q” dei F-F JK, D e T (master – slave) scrivendo anche quali sono gli intervalli in cui il segnale è a “1” e quali quelli in cui il segnale è “0” (per tutti i segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R), Toggle (T) e indeterminati (?).

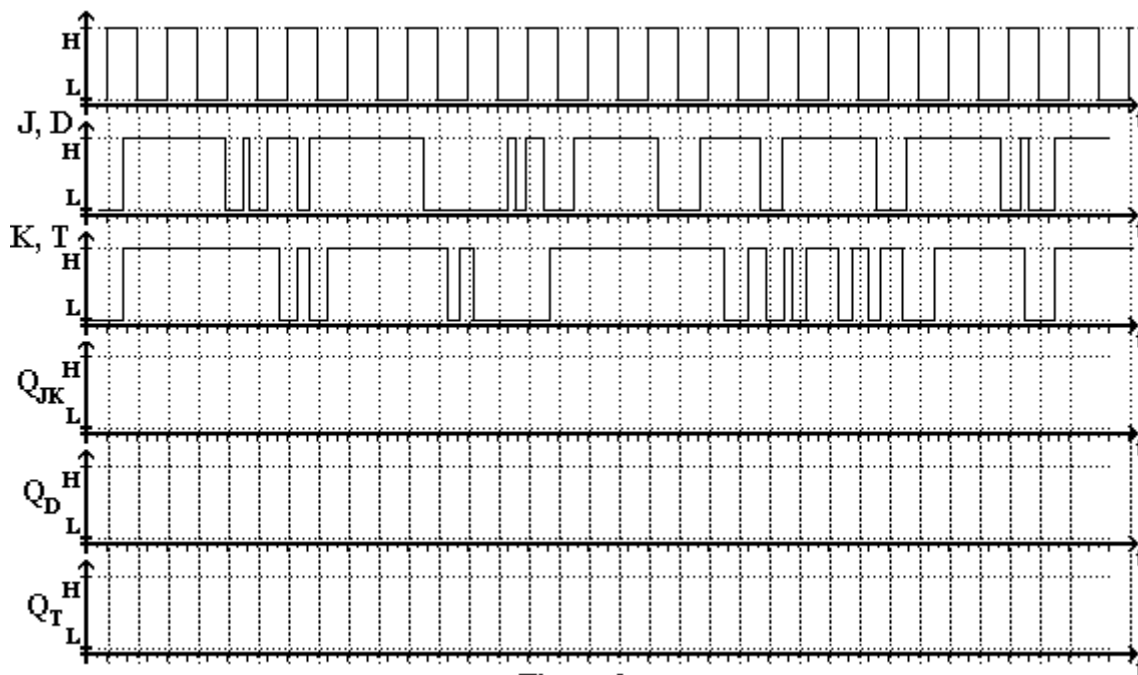


Figura 3

**Esercizio N. 6 (F- F JK, D e T )**

Per ogni configurazione di ingresso del F-F (“JK”, “D” e “T”) specificare qual è l’uscita relativa e la situazione ad essa associata: [ Memoria (M), Set (S), Reset (R), Toggle (T) e Indeterminazione (?) ]

clock	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
J, D	0	1	1	1	0	1	1	1	0	1	0	1	1	1	0	1	1	0
K, T	0	0	1	0	0	0	1	0	0	0	0	0	1	0	1	0	1	0
Situaz.																		
Q <sub>JK</sub>																		
Q <sub>D</sub>																		
Q <sub>T</sub>																		

Esercizio N. 7 (F- F JK, D e T master - slave)

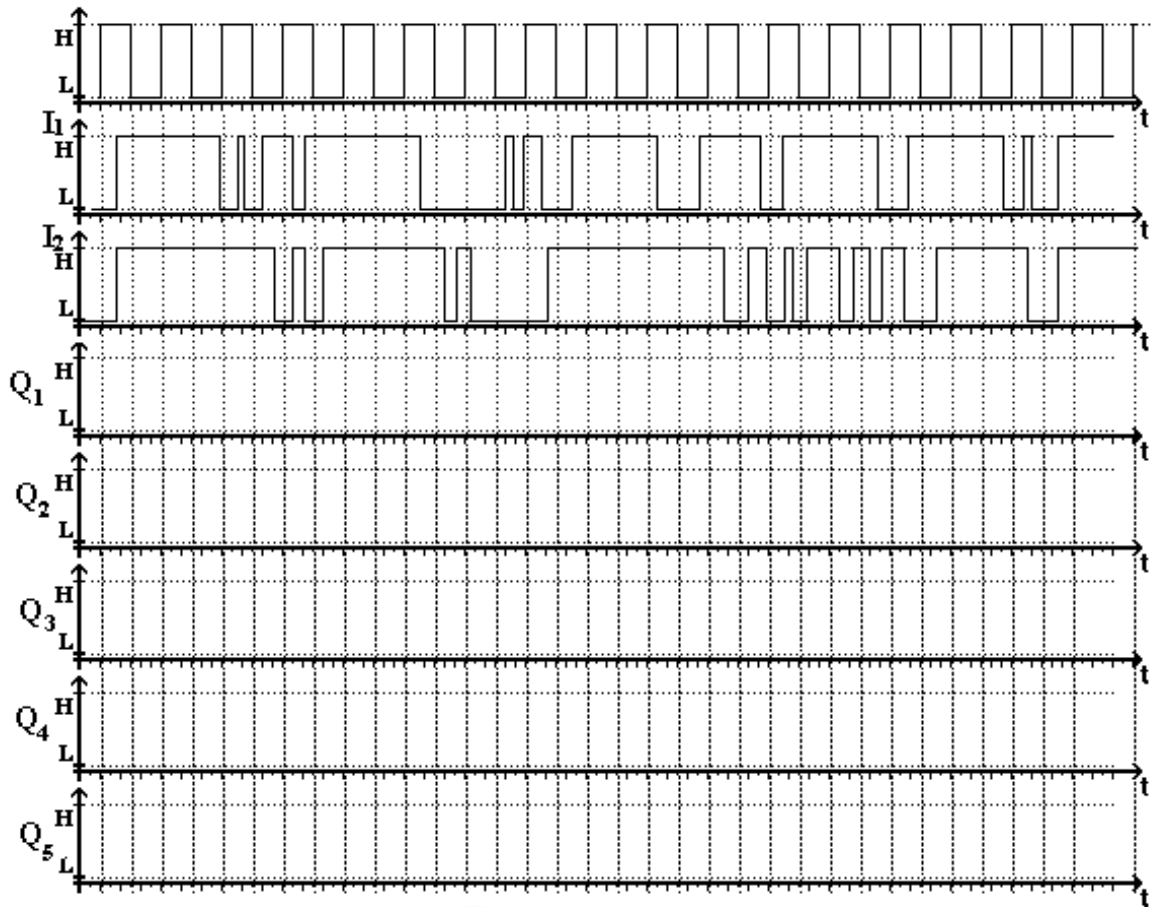


Figura 4

Dato il circuito di figura 5 disegnare il grafico delle uscite “Q1 % Q5” dei F-F (master – slave) presupponendo che gli ingressi I1 e I2 del primo F-F siano quelli del grafico di figura 4. Scrivere anche quali sono gli intervalli in cui il segnale è a “1” e quali quelli in cui il segnale è “0” (per tutti i segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R), Toggle (T) e indeterminati (?).

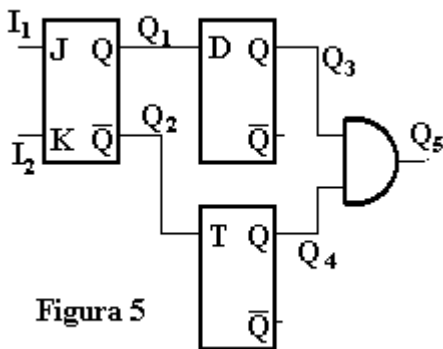


Figura 5

Esercizio N. 8 (F- F JK, D e T master - slave)

Dato il circuito di figura 6 disegnare il grafico delle uscite “Q1 % Q5” dei F-F (master – slave) presupponendo che l’ingresso I1 del primo F-F sia quello del grafico di figura 4. Scrivere anche quali sono gli intervalli in cui il segnale è a “1” e quali quelli in cui il segnale è “0” (per tutti i segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R), Toggle (T) e indeterminati (?).

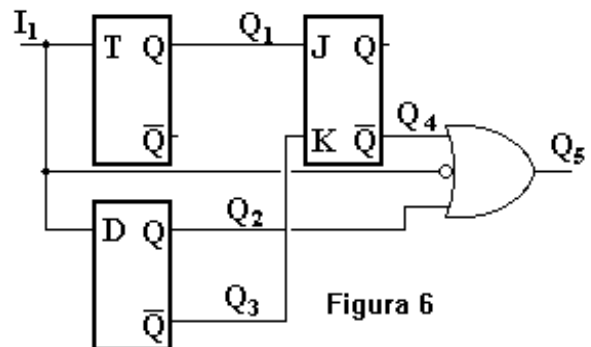


Figura 6

Q5” dei F-F (master – slave) presupponendo che l’ingresso I1 del primo F-F sia quello del grafico di figura 4. Scrivere anche quali sono gli intervalli in cui il segnale è a “1” e quali quelli in cui il segnale è “0” (per tutti i segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R), Toggle (T) e indeterminati (?).

**Esercizio N. 9 (F- F JK, D e T master - slave)**

Dato il circuito di figura 7 disegnare il grafico delle uscite “Q1 % Q5” dei F-F (master – slave) presupponendo che l’ingresso I<sub>1</sub> del primo F-F sia quello del grafico di figura 4. Scrivere anche quali sono gli intervalli in cui il segnale è a “1” e quali quelli in cui il segnale è a “0” (per tutti i segnali). Specificare anche quali sono gli stati di memoria (M), Set (S), Reset (R), Toggle (T) e indeterminati (?).

NB: l’ingresso di clock del F-F “D” è l’uscita del F-F “T” => CLK (D)=Q<sub>2</sub>

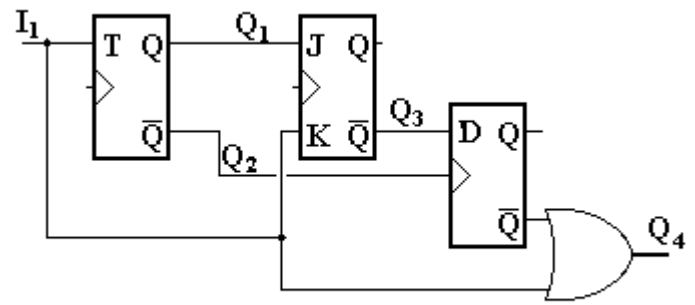


Figura 7

**Esercizio N. 10 (Contatore Up/Dn)**

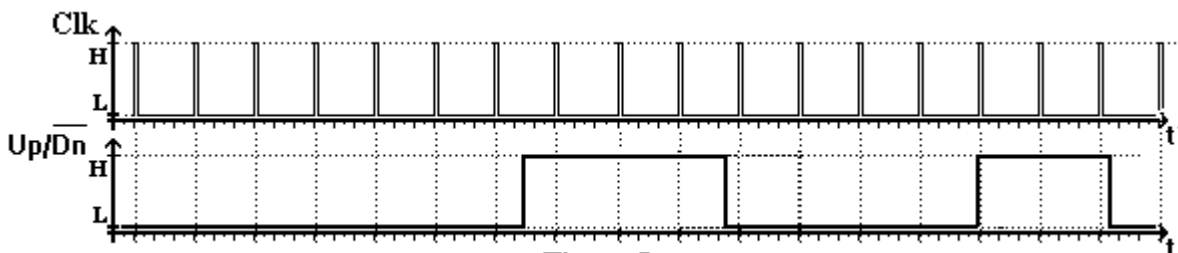


Figura 8

- A) Il pin Up/Dn di un contatore asincrono modulo 8 varia come in figura 8. Graficare l’andamento delle uscite Q<sub>0</sub> (LSB), Q<sub>1</sub>, Q<sub>2</sub> supponendo che il conteggio inizi da zero.
- B) Ridisegnare il diagramma per un contatore modulo 12

**Esercizio N. 11 (Contatori asincroni)**

Progettare 3 contatori asincroni:

- ◆ Modulo 6 (conta da 0 a 5)
- ◆ Modulo 12 (conta da 0 a 11)
- ◆ Modulo 23 (conta da 0 a 22)

**Esercizio N. 12 (Contatori asincroni)**

Progettare la rete di azzeramento di un contatore asincrono modulo 3584. Ripetere l’esercizio per un contatore modulo 128363.

**Esercizio N. 13 (Contatori sincroni)**

- a. Progettare le reti relative al contatore sincrono modulo 16 con FF di tipo S-R, J-K, D e T.
- b. Progettare le reti relative al contatore sincrono modulo 10 con FF di tipo S-R, J-K, D e T.

**Esercizio N. 14 (Contatori sincroni)**

Progettare la rete di commutazione dei seguenti contatori sincroni:

	A	B	C	D	E	F	G	H	I	J	K
<b>N. F-F</b>	3	3	3	X	x	3	x	3	4	x	x
<b>Tipo</b>	T	D	JK	T	JK	T	D	D	JK	JK	JK
<b>Modulo</b>	Pieno	Pieno	Pieno	11	5	Pieno	5	Pieno	Pieno	11	26

Note	x	x	x	X	x	indietro	indietro	Salta di due	Salta di tre	Salta di tre	uscite pari
------	---	---	---	---	---	----------	----------	--------------	--------------	--------------	-------------

**Esercizio N. 15 (Contatori sincroni)**

Progettare un contatore sincrono modulo 11 costituito da 4 F-F tutti di tipo diverso.

**Esercizio N. 16 (Reti sincrone)**

Realizzare uno dei riconoscitori di sequenza della tabella 1

**Esercizio N. 17 (Reti sincrone)**

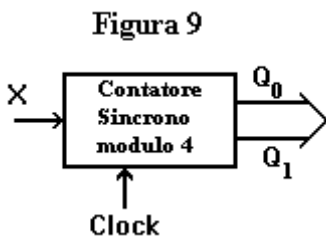


Figura 9

Realizzare la seguente rete sincrona di figura 9: Contatore sincrono modulo 4 Up/Dn (X=0 AVANTI; X=1 INDIETRO). La scelta del tipo di F-F è arbitraria.

RICONOSCITORE DI SEQUENZA				
Sequenza/ F-F	S - R	J - K	D	T
000				
001				
010				
011				
100				
101				
110				
111				

tabella 1

**Esercizio N. 18 (Progetto dell'orologio come rete sincrona)**

Realizzare tre contatori (modulo rispettivamente 60, 60 e 24) con un clock di 1 secondo in modo da realizzare un orologio che scandisce i secondi, i minuti e le ore.

SUGGERIMENTO: progettare prima il contatore modulo 60 per i secondi, poi quello modulo 60 per i minuti e poi quello modulo 24 per le ore. Successivamente realizzare le decodifiche per la visualizzazione dei secondi, delle ore e dei minuti.

**Esercizio N. 19 (analisi rete sequenziale asincrona)**

Analizzare la rete sequenziale asincrona come per l'esercizio 17

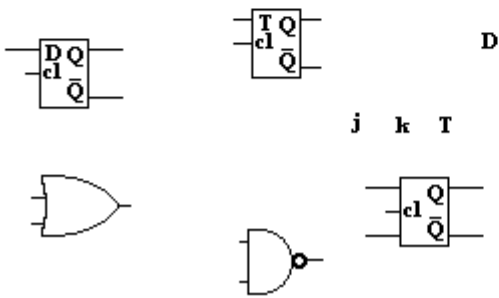
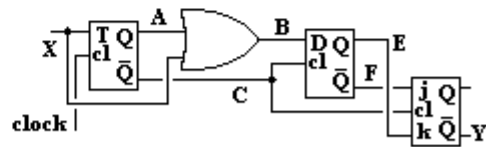
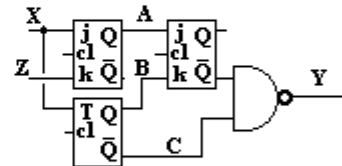
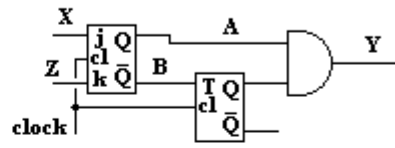
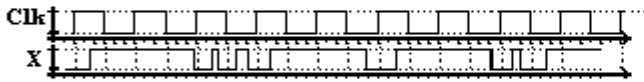
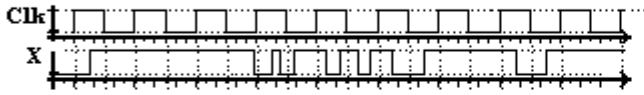
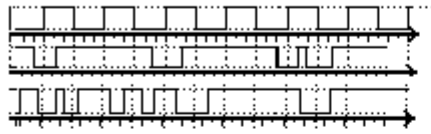
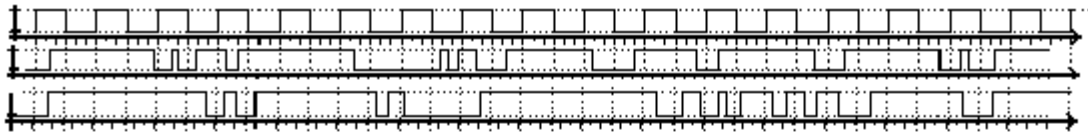
**Esercizio N. 20 e 21 (analisi rete sequenziale)**

Vedi fotocopia scritta manualmente

## SOMMARIO

<b>RETI SEQUENZIALI.....</b>	<b>1</b>
<b>RETI SEQUENZIALI.....</b>	<b>2</b>
FLIP-FLOP.....	2
<i>F-F SET/RESET</i> .....	2
<i>F-F SET/RESET SINCRONO</i> .....	3
<i>Flip Flop J-K (Master – Slave)</i> .....	4
<i>Flip – Flop tipo “D” (DELAY) e di tipo “T” (TOGGLE)</i> .....	5
ESEMPIO DI RETE COMPOSTA.....	6
ANALISI DI UNA RETE SEQUENZIALE.....	6
<i>IDENTIFICAZIONE DEL FUNZIONAMENTO DI UNA RETE SEQUENZIALE</i> .....	6
<i>STUDIO DEL FUNZIONAMENTO DI UN F-F COME RETE SEQUENZIALE</i> .....	7
<i>PROGETTO DI UN SEMAFORO COME RETE SEQUENZIALE ASINCRONA</i> .....	8
CONTATORI.....	10
<i>CONTATORI ASINCRONI</i> .....	10
<i>CONTATORI SINCRONI</i> .....	12
<i>PROGETTO DI UN SEMAFORO COME RETE SEQUENZIALE SINCRONA</i> .....	17
<b>ESERCIZI .....</b>	<b>19</b>
ESERCIZIO N. 1 (F- F SET/RESET ASINCRONO).....	19
ESERCIZIO N. 2 (RETI ASINCRONE) .....	19
ESERCIZIO N. 3 (F- F SET/RESET SINCRONO).....	19
ESERCIZIO N. 4 (F- F SET/RESET SINCRONO).....	19
ESERCIZIO N. 5 (F- F JK, D E T, MASTER - SLAVE).....	20
ESERCIZIO N. 6 (F- F JK, D E T ).....	20
ESERCIZIO N. 7 (F- F JK, D E T MASTER - SLAVE).....	21
ESERCIZIO N. 8 (F- F JK, D E T MASTER - SLAVE).....	21
ESERCIZIO N. 9 (F- F JK, D E T MASTER - SLAVE).....	22
ESERCIZIO N. 10 (CONTATORE UP/DN).....	22
ESERCIZIO N. 11 (CONTATORI ASINCRONI) .....	22
ESERCIZIO N. 12 (CONTATORI ASINCRONI) .....	22
ESERCIZIO N. 13 (CONTATORI SINCRONI) .....	22
ESERCIZIO N. 14 (CONTATORI SINCRONI) .....	22
ESERCIZIO N. 15 (CONTATORI SINCRONI) .....	23
ESERCIZIO N. 16 (RETI SINCRONE).....	23
ESERCIZIO N. 17 (RETI SINCRONE).....	23
ESERCIZIO N. 18 (PROGETTO DELL’OROLOGIO COME RETE SINCRONA).....	23
ESERCIZIO N. 19 (ANALISI RETE SEQUENZIALE ASINCRONA).....	23
ESERCIZIO N. 20 E 21 (ANALISI RETE SEQUENZIALE) .....	23
<b>SOMMARIO .....</b>	<b>24</b>



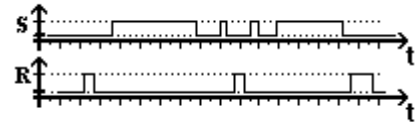


**1** Dire quali sono le peculiarità di una rete sequenziale. Disegnare il circuito di un Flip-Flop Set-Reset asincrono e definirne il funzionamento analizzando la rete.

R.S.

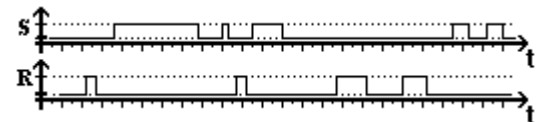
**2** Definire il funzionamento di un Flip-Flop Set-Reset asincrono e disegnare il diagramma dell'uscita "Q" in seguito all'applicazione degli ingressi riportati sul grafico. Rinviare anche le varie situazioni di memoria (M), Set (S) e Reset (R).

R.S.



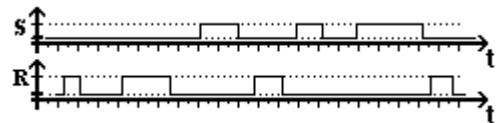
**3** Definire il funzionamento di un Flip-Flop Set-Reset asincrono e disegnare il diagramma dell'uscita "Q" in seguito all'applicazione degli ingressi riportati sul grafico. Rinviare anche le varie situazioni di memoria (M), Set (S) e Reset (R).

R.S.



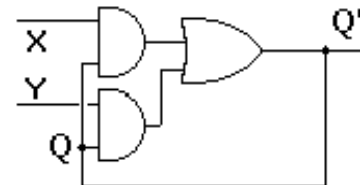
**4** Definire il funzionamento di un Flip-Flop Set-Reset asincrono e disegnare il diagramma dell'uscita "Q" in seguito all'applicazione degli ingressi riportati sul grafico. Rinviare anche le varie situazioni di memoria (M), Set (S) e Reset (R).

R.S.



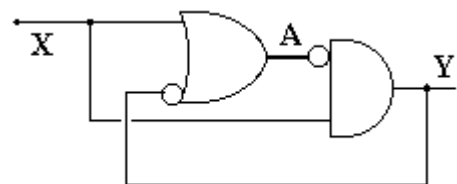
**5** Definire il funzionamento della rete sequenziale di figura

R.S.



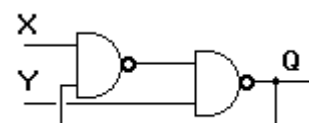
**6** Definire il funzionamento della rete sequenziale di figura.

R.S.



**7** Definire il funzionamento della rete sequenziale di figura.

R.S.



**8** Descrivere la modalità con la quale viene reso “sincrono” un Flip-Flop Set-Reset. Specificare cosa è il segnale di clock e qual è la sua funzione.

R.S.

**9** Dire la differenza fra ingressi “Sincroni” e ingressi “Asincroni” in un Flip-Flop. Disegnare lo schema completo del Flip-flop Set-Reset e il simbolo circuitale.

R.S.

**10** Un Flip-Flop Set-Reset Sincrono è sollecitato dalla seguente sequenza di ingressi: specificare qual è l’uscita associata ad ogni singolo ingresso e il tipo di situazione vhe viene a verificarsi: memoria

R.S. (M), Set (S) e  $\overline{\text{RESET}}$

clock	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
SET	0	1	0	1	1	0	0	1	1	0	0	1	0	1	0	1	0
RESET	0	0	1	0	0	0	1	0	0	1	1	0	1	0	1	0	0

**11** Un Flip-Flop Set-Reset Sincrono è sollecitato dalla seguente sequenza di ingressi: specificare qual è l’uscita associata ad ogni singolo ingresso e il tipo di situazione vhe viene a verificarsi: memoria

R.S. (M), Set (S) e Reset (R)

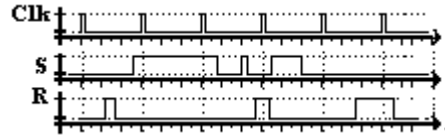
clock	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
SET	1	0	0	1	0	0	0	1	1	0	1	1	0	1	0	0	1
RESET	0	0	0	0	1	1	1	0	0	1	0	0	1	0	1	1	0

**12** Descrivere le caratteristiche di un segnale di clock. Calcolare la frequenza presupponendo che il periodo sia di 56/1000 di secondo.

R.S.

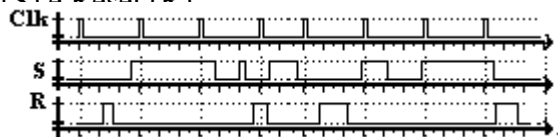
**13** Disegnare l’uscita di un Flip-Flop S-R sincrono ai cui ingressi sono applicati i segnali del grafico. Specificare le varie situazioni: memoria (M), Set (S) e Reset (R)

R.S.



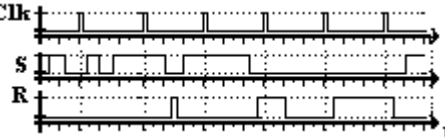
**14** Disegnare l’uscita di un Flip-Flop S-R sincrono ai cui ingressi sono applicati i segnali del grafico. Specificare le varie situazioni: memoria (M), Set (S) e Reset (R)

R.S.



**15** Disegnare l'uscita di un Flip-Flop S-R sincrono ai cui ingressi sono applicati i segnali del grafico. Specificare le varie situazioni: memoria (M), Set (S) e Reset (R).

R.S.



**16** Disegnare lo schema di un Flip-Flop JK e dire qual è la sua particolarità e funzione.

R.S.

**17** Specificare in cosa consiste la tecnica Master-Slave e perché viene utilizzata. disegnare il simbolo circuitale.

R.S.

**18** Disegnare lo schema di un Flip-Flop J-K master slave e spiegarne il funzionamento.

R.S.

**19** Ad un Flip-Flop J-K vengono applicati gli ingressi della tabella. Definire l'uscita e le varie situazioni che si verificano: memoria (M), Set (S) e Reset (R), Toggle (T)

R.S.

clock	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
J	0	1	1	1	1	1	1	1	0	1	0	1	1	1	0	1	1	0
K	0	0	1	0	0	0	1	1	0	0	1	0	1	0	1	0	1	0

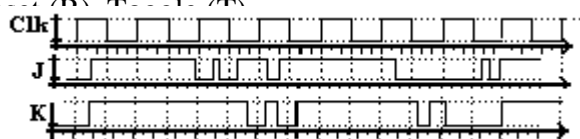
**20** Ad un Flip-Flop J-K vengono applicati gli ingressi della tabella. Definire l'uscita e le varie situazioni che si verificano: memoria (M), Set (S) e Reset (R), Toggle (T)

R.S.

clock	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
J	1	1	1	1	0	1	0	1	0	1	1	1	1	1	0	1	1	0
K	0	0	1	0	1	0	1	1	1	0	1	1	1	0	1	1	0	1

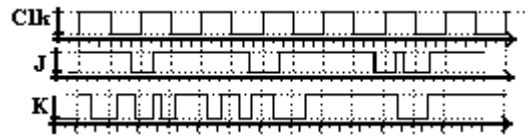
**21** Ad un Flip-Flop J-K vengono applicati gli ingressi del grafico. Definire l'uscita e le varie situazioni che si verificano: memoria (M), Set (S) e Reset (R), Toggle (T)

R.S.



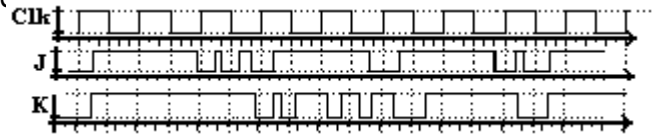
**22** Ad un Flip-Flop J-K vengono applicati gli ingressi del grafico. Definire l'uscita e le varie situazioni che si verificano: memoria (M), Set (S) e Reset (R), Toggle (T)

R.S.



**23** Ad un Flip-Flop J-K vengono applicati gli ingressi del grafico. Definire l'uscita e le varie situazioni che si verificano: memoria (M), Set (S) e Reset (R), Toggle (T)

R.S.



**24** Disegnare lo schema di un Flip-Flop di tipo "D". Disegnare anche il simbolo circuitale.

R.S.

**25** Disegnare lo schema di un Flip-Flop di tipo "T". Disegnare anche il simbolo circuitale.

R.S.

**26** Descrivere il funzionamento di un Flip-Flop di tipo "D"

R.S.

**27** Descrivere il funzionamento di un Flip-Flop di tipo "T"

R.S.

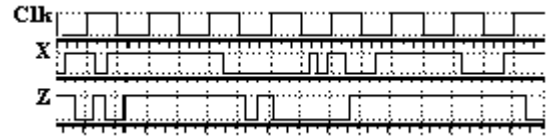
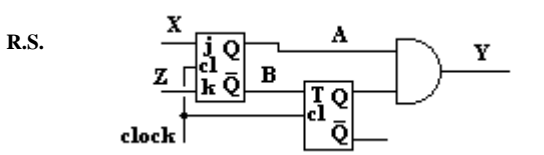
**28** Ad un Flip-Flop di tipo "D" viene applicata la sequenza della tabella. Dire qual è la corrispondente sequenza di uscita specificando quali sono le varie situazioni: memoria (M), Set (S) e Reset (R),

R.S. Toggle (T)

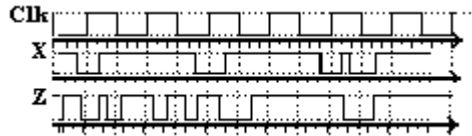
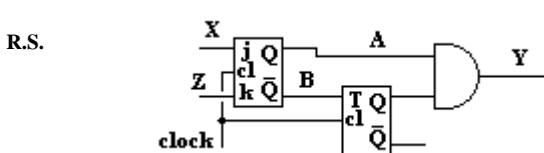
clock	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
D	1	1	1	1	0	1	0	1	0	1	1	1	1	1	0	1	1	0



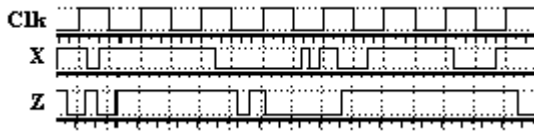
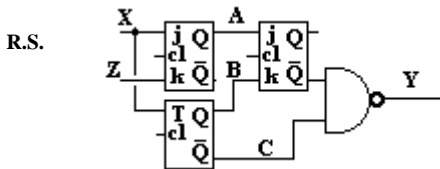
36 Definire l'uscita e i segnali intermedi della rete.



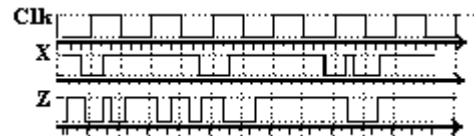
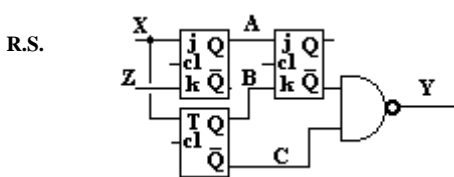
37 Definire l'uscita e i segnali intermedi della rete.



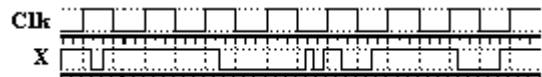
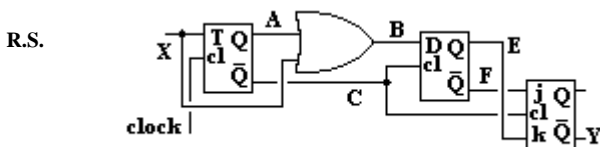
38 Definire l'uscita e i segnali intermedi della rete



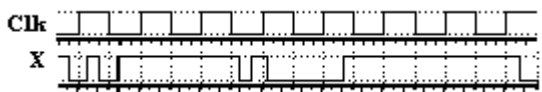
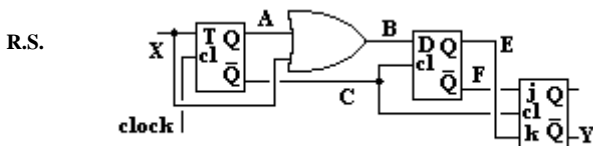
39 Definire l'uscita e i segnali intermedi della rete.



40 Definire l'uscita e i segnali intermedi della rete



41 Definire l'uscita e i segnali intermedi della rete



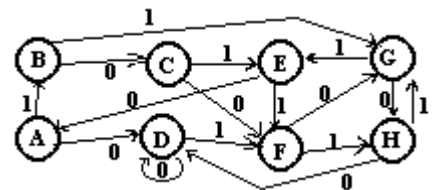
42 Dire quali sono le parti che compongono una rete sequenziale e dire come questa acquisisce caratteristiche di "memoria"

R.S.

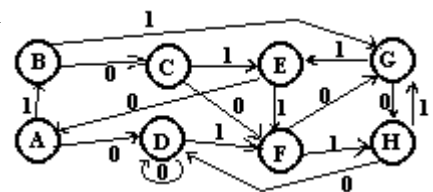
**43** Spiegare la differenza fra stato presente, stato futuro e uscita. Disegnare lo schema a blocchi di una rete sequenziale spiegando anche in che cosa consiste la “retroazione”.  
R.S.

**44** Dire quali sono i tre elementi logici che identificano il comportamento di una rete sequenziale.  
R.S.

**45** Dato il diagramma degli stati, scrivere la matrice di transizione  
R.S. Dire anche quanti bit occorrono per codificare tutti gli stati.



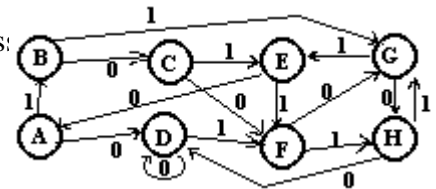
**46** Dato il diagramma degli stati, dire qual’è la sequenza degli stati  
R.S. relativa alla sequenza di ingresso (partendo dallo stato “A”)



1 1 1 1 0 1 0 0 1 1 1 0 0 0 1 0 1 1 1 1 0 0 0 0 1 0 1 0

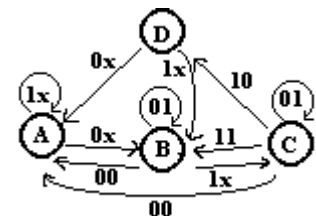
\_\_\_\_\_ Ripetere partendo dallo stato “F”

**47** Dato il diagramma degli stati, dire qual’è la sequenza degli ingressi  
R.S. che permette il passaggio da tutti gli stati almeno una volta.

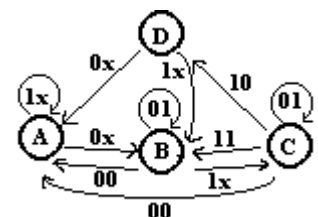


Dire anche il numero di bit necessario a codificare tutti gli stati

**48** Dato il diagramma degli stati, scrivere la tabella di transizione dello s  
R.S.



**49** Dato il diagramma degli stati, dire qual è la sequenza di uscita relativa  
R.S. agli ingressi: (si parte dallo stato “A”)

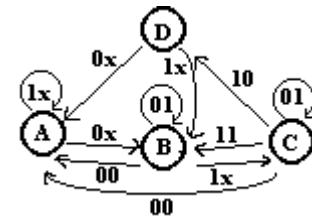


01 11 11 01 00 00 00 11 01 10 01 10 00 00 11 00 11 00 10 10 10 01 10

\_\_\_\_\_ Ripetere partendo dallo stato “C”



50 Dato il diagramma degli stati, codificare tutti gli stati e dire quali sor  
 R.S. ingressi che partendo dallo stato "A" portano nello stato "A", facend  
 "giro completo" A, B ,C e D.



51 Data la matrice di transizione dello stato disegnare il diagramma degli stati.

R.S. Codificare la matrice e riscriverla utilizzando i codici

	00	01	11	10
A	A	A	B	C
B	D	A	C	B
C	C	A	D	A
D	D	C	C	B

52 Codificare gli stati e riscrivere la tabella. Scrivere le mappe di Karnaugh

R.S. di ogni singola variabile di stato.

	00	01	11	10
A	A	A	B	C
B	D	A	C	B
C	C	A	D	A
D	D	C	C	B

53 Data la matrice di transizione dello stato, disegnare il diagramma degli stati e dire se esiste un  
 percorso che va dallo

R.S. Stato "A" allo stato "F".

E da "C" a "Q"?

Stato pres.	A	B	C	D	E	F	G	H	I	J	K	L	M	N	Q	P	Q	R	
0	A	C	G	R	F	E	E	D	C	I	J	L	D	L	Q	M	Q	Q	
X	1	Q	P	H	A	D	R	G	F	B	H	L	N	M	I	Q	N	P	K

54 Data la matrice di transizione dello stato, codificare gli stati e scrivere la tabella della verità della  
 rete combinatoria.

Stato pres.	A	B	C	D	E	F	G	H	I	J	K	L	M	N	Q	P	Q	R	
0	A	C	G	R	F	E	E	D	C	I	J	L	D	L	Q	M	Q	Q	
X	1	Q	P	H	A	D	R	G	F	B	H	L	N	M	I	Q	N	P	K

55 Data la matrice di transizione dello stato, codificare gli stati e scrivere l'equazione di stato  
 utilizzando il metodo delle forme canoniche

Stato pres.	A	B	C	D	E	F	G	H	I	J	K	L	M	N	Q	P	Q	R	
0	A	C	G	R	F	E	E	D	C	I	J	L	D	L	Q	M	Q	Q	
X	1	Q	P	H	A	D	R	G	F	B	H	L	N	M	I	Q	N	P	K

56 Data l'equazione di stato  $Q' = X\bar{Q} + Y(Q + X)$

R.S. Disegnare il circuito della rete sequenziale.

---

**57** Data l'equazione di stato  $Q' = X \bar{Q} + Y(Q + X)$

R.S. Dire quanti e quali ingressi ha la rete sequenziale. Scrivere la tabella della verità della rete combinatoria.

---

**58** Data l'equazione di stato, scrivere la matrice di transizione dello stato

R.S.

$$Q_1' = \bar{X} Q_1 + \bar{Q}_2 + X$$

$$Q_2' = \bar{X} Q_1 + X Q_2$$

---

**59** Data l'equazione di stato, disegnare la rete sequenziale alla quale appartiene

R.S.

$$Q_1' = \bar{X} Q_1 + \bar{Q}_2 + X$$

$$Q_2' = \bar{X} Q_1 + X Q_2$$

---

**60** Data l'equazione di stato, disegnare il diagramma dello stato.

R.S.

$$Q_1' = \bar{X} Q_1 + \bar{Q}_2 + X$$

$$Q_2' = \bar{X} Q_1 + X Q_2$$

---

**61** Disegnare il diagramma di stato e la matrice di transizione dello stato di un Flip-Flop di tipo "J-K"

R.S.

---

**62** Disegnare il diagramma di stato e la matrice di transizione dello stato di un Flip-Flop di tipo "D"

R.S.

---

**63** Disegnare il diagramma di stato e la matrice di transizione dello stato di un Flip-Flop di tipo "T"

R.S.

---

**64** Tracciare i diagrammi di stato dei flip-Flop di tipo “J-K”, “D” e “T”.

R.S.

---

**65** Spiegare cosa è un contatore binario e cosa significa “modulo” del contatore. Fare degli esempi.

R.S.

---

**66** Spiegare cosa è un contatore binario e cosa significa “modulo” del contatore. dire quanti Flip-Flop occorrono per realizzare un contatore di modulo 32

R.S.

---

**67** Spiegare cosa è un contatore binario e cosa significa “modulo” del contatore. dire quanti Flip-Flop occorrono per realizzare un contatore di modulo 96.

R.S.

---

**68** Scrivere la sequenza dei numeri binari e tracciare il grafico delle uscite di un contatore “modulo 4”.

R.S.

---

**69** Progettare un contatore asincrono di modulo 4

R.S.

---

**70** Progettare un contatore asincrono di modulo 8

R.S.

---

**71** Progettare un contatore asincrono modulo 12

R.S.

---

**72** Progettare un contatore asincrono modulo 8 che conta all'indietro.

R.S.

---

**73** Spiegare la differenza fra i contatori asincroni e sincroni, dire qualè il tipo migliore e perché

R.S.

---

**74** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo "J-K"

R.S.

---

**75** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo "D"

R.S.

---

**76** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo "T"

R.S.

---

**77** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo misto

R.S.

---

**78** Progettare un contatore sincrono modulo 12 con Flip-Flop di tipo “J-K”

R.S.

---

**79** Progettare un contatore sincrono modulo 12 con Flip-Flop di tipo “D”

R.S.

---

**80** Progettare un contatore sincrono modulo 12 con Flip-Flop di tipo “D”

R.S.

---

**81** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo “D” che conta all’indietro

R.S.

---

**82** Progettare un contatore sincrono modulo 8 con Flip-Flop di tipo “T” che conta all’indietro

R.S.

---

**83** Progettare un contatore sincrono modulo 16 che conta saltando i numeri dispari.

R.S.

---

**84** Tracciare il diagramma degli stati di una rete rivelatrice della sequenza 001

R.S.

---

**85** Tracciare il diagramma degli stati di una rete rivelatrice della sequenza 010

R.S.

---

**86** Tracciare il diagramma degli stati di una rete rivelatrice della sequenza 111

R.S.

---

**87** Progettare un contatore sincrono modulo 8 con un ingresso di Up/Dn

R.S.

---

**88** Progettare un contatore sincrono modulo 16 che conta saltando i numeri pari.

R.S.

---

**89**

R.S.

---

**90**

R.S.

---

**91**

R.S.

---

---

**92**

R.S.

---

**93**

R.S.

---

**94**

R.S.

---

**95**

R.S.

---

**96**

R.S.

---

**97**

R.S.

---

**98**

R.S.

---

